

(7)

**SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**

Patent Number: JP10093077  
Publication date: 1998-04-10  
Inventor(s): TSUKAMOTO MASANORI  
Applicant(s): SONY CORP  
Requested Patent: JP10093077  
Application Number: JP19960247557 19960919  
Priority Number(s):  
IPC Classification: H01L29/78  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can prevent deterioration of MOSFET characteristics due to reduction of a gate capacity of a MOSFET caused by the increased thickness of a gate oxide film and which can eliminate such a drawback that a variation in the work function of a gate electrode causes variation in a voltage  $V_{th}$  or increase of a contact or sheet resistance by preventing interdiffusion of impurities, and a method for manufacturing the semiconductor device.

**SOLUTION:** A semiconductor device has a gate electrode 20 of a tungsten polycide structure, using an  $N^{++}$ -type polysilicon layer.  $N^{++}$ -type polysilicon layer is made up of two films, at least one of which is made of polysilicon of grains having large diameters. The formation of the large grain-diameter polysilicon is carried out by depositing an amorphous silicon layer 16 at a temperature of 550 deg.C or less and then annealing the amorphous silicon layer 16 at a temperature of 800 deg.C or less for one hour or more.

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93077

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.<sup>6</sup>

H 01 L 29/78

識別記号

F I

H 01 L 29/78

3 0 1 G

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号

特願平8-247557

(22)出願日

平成8年(1996)9月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

塙本 雅則

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

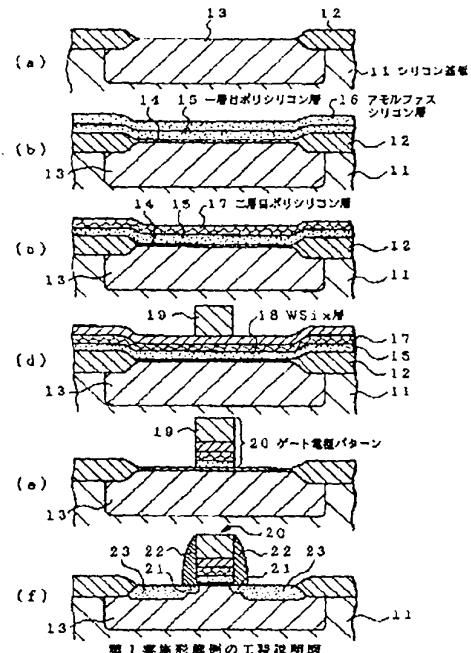
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 ゲート酸化膜の膜厚増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することによりV<sub>th</sub>が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法の提供が望まれている。

【解決手段】 N<sup>+</sup>型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極20を備えた半導体装置である。N<sup>+</sup>型ポリシリコン層が2層構造に形成されており、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されている。大粒径ポリシリコンの形成は、CVD法により堆積温度550°C以下でアモルファスシリコン16を堆積し、このアモルファスシリコン16を800°C以下の温度で1時間以上アニールすることによって行う。



## 【特許請求の範囲】

【請求項1】  $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置において、 $N^+$ 型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項2】 タングステンシリサイドが、 $SiH_4$ を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記2層構造の $N^+$ 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】  $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置において、 $N^+$ 型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項5】 タングステンシリサイドが、 $SiH_4$ を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項2記載の半導体装置。

【請求項6】 前記2層構造の $N^+$ 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項7】  $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記 $N^+$ 型ポリシリコンの形成工程として、CVD法により堆積温度550°C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記 $N^+$ 型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入して $N^+$ 型にする工程を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】  $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、

前記 $N^+$ 型ポリシリコンの形成工程として、CVD法により堆積温度550°C以下でアモルファスシリコンを堆

積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】 前記 $N^+$ 型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入して $N^+$ 型にする工程を備えたことを特徴とする請求項9記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、 $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置とその製造方法、および $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極に電気的に接続する埋め込みコンタクトを有した半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】タングステンシリサイド( $WSi_x$ )とポリシリコン( $Poly-Si$ )との積層構造で形成されるタングステンポリサイド(Wポリサイド)配線構造は、低抵抗でかつ熱的安定性に優れているため、MOSデバイス、バイポーラデバイス等で広く用いられている。特に、MOSデバイスにおいては、ゲート酸化膜信頼性を確保しつつ閾値電圧( $V_{th}$ )制御にも優れていることから、ゲート電極として多く用いられている。このようにWポリサイド構造をゲート電極として用いる場合、そのポリシリコンについては、高濃度不純物ドープが可能であり、さらに熱的に安定であるなどの理由から、リン等のN型の不純物をドープして $N^+$ 型とするのが普通である。

【0003】ところで、タングステンシリサイドの堆積方法としてはスパッタ法やCVD法があるが、ステップカバレージに優れ、かつ低抵抗な膜を形成することができるとの理由により、通常はCVD法が用いられる。このようなCVD法によるタングステンシリサイドの堆積方法としては、特に、 $SiH_4$ と $WF_6$ とを原料にする減圧下でのCVD法(減圧化学的気相成長法、以下、減圧CVD法と記す)が一般的である。

【0004】また、ゲート電極と拡散層との間のコンタクトをとる構造としては、埋め込みコンタクト(Buried Contact)を用いた構造が知られている。このような埋め込みコンタクト構造を形成するには、まず、図3

(a)に示すようにシリコン基板1表面に形成したゲート酸化膜2上に一層目ポリシリコン層3を形成し、さらに一層目ポリシリコン層3、ゲート酸化膜2をエッチングして埋め込みコンタクトの形成領域に開口部4を形成

する。

【0005】次に、二層目ポリシリコン層、WSi<sub>x</sub>層をこの順に堆積形成してWポリサイド層を得、さらにこのWポリサイド層をエッティングによってバーニングし、図3(b)に示すように一層目ポリシリコン層3、二層目ポリシリコン層5、WSi<sub>x</sub>層6からなるWポリサイド構造のゲート電極7を得る。次いで、MOSFET(MOS型電界効果トランジスタ)形成の際に拡散層領域を形成する。その後、熱処理することにより、図3(c)に示すようにポリシリコン層5中のドーパントと拡散層8中のドーパントを拡散させてこれらを接触させ、ゲート電極7と拡散層8とを電気的に接続する埋め込みコンタクト9を得る。

【0006】

【発明が解決しようとする課題】ところで、前記の減圧CVD法によりタングステンシリサイド(WSi<sub>x</sub>)を堆積形成した半導体装置では、減圧CVD法によって形成されたWSi<sub>x</sub>膜中に $1 \times 10^{20}$ 個/ $\text{cm}^3$ 以上のフッ素原子が含まれてしまっていることが知られている。しかし、ゲート電極中に高濃度のフッ素が含まれていると、800°C以上程度の高温熱処理によってゲート酸化膜中にフッ素が拡散し、このゲート酸化膜の膜厚が増加してしまう。したがって、MOSFETにおけるゲート容量が減少し、MOSFET特性が低下してLSI動作も低下してしまうのである。

【0007】また、図3(c)に示した埋め込みコンタクト9を有する半導体装置では、例えば該半導体装置が薄膜トランジスタ(TFT)を積層したスタック型SRAMやキヤバシタを積層したスタック型DRAMである場合、通常、図4に示すようにWSi<sub>x</sub>層6上にポリシリコン配線10のコンタクト10aが形成される。このとき、図4中のポリシリコン配線10がP型である場合には、WSi<sub>x</sub>層6を介してゲート電極7や拡散層8中のN型不純物とポリシリコン配線10中のP型不純物とが相互拡散し、補償し合ってしまう。そして、このような相互拡散による補償が起こると、ゲート電極7の仕事関数が変化することによってV<sub>th</sub>が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じてしまう。

【0008】本発明は前記事情に鑑みてなされたもので、その目的とするところは、ゲート酸化膜の膜厚増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することによりV<sub>th</sub>が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明における請求項1

記載の半導体装置では、N<sup>+</sup>型ポリシリコンを用いたタングステンシリサイド構造のゲート電極を備え、N<sup>+</sup>型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを前記課題の解決手段とした。この半導体装置によれば、2層構造からなるN<sup>+</sup>型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されているので、タングステンシリサイド構造におけるタングステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。

【0010】請求項4記載の半導体装置では、N<sup>+</sup>型ポリシリコンを用いたタングステンシリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有し、N<sup>+</sup>型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを前記課題の解決手段とした。この半導体装置によれば、2層構造からなるN<sup>+</sup>型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されているので、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンシリサイド構造におけるタングステンシリサイドを介して起るN型不純物とP型不純物との相互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

【0011】なお、これら半導体装置においては、タングステンシリサイドが、SiH<sub>4</sub>を原料ガスとしたCVD法で形成されたものであるのが好ましく、このようなCVD法によって形成されていることにより、該タングステンシリサイドはステップカバレージに優れ、かつ低抵抗な膜となる。また、これら半導体装置においては、N<sup>+</sup>型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されているのが好ましく、このように上層のポリシリコン層の不純物濃度が下層のポリシリコン層の不純物濃度より低く形成されていることにより、N<sup>+</sup>型ポリシリコン層からタングステンシリサイドへの不純物の拡散が抑えられる。

【0012】請求項7記載の半導体装置では、N<sup>+</sup>型ポリシリコンを用いたタングステンシリサイド構造のゲート電極を備えた半導体装置の製造方法において、前記N<sup>+</sup>型ポリシリコンの形成工程として、CVD法により堆積温度550°C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。この半導体装置の製造方法によれば、堆積したアモルファスシリ

リコンを大粒径化することにより、タンクステンポリサイド構造におけるタンクステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることが可能になる。

【0013】請求項9記載の半導体装置では、N<sup>+</sup>型ポリシリコンを用いたタンクステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、前記N<sup>+</sup>型ポリシリコンの形成工程として、CVD法により堆積温度500°C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。この半導体装置の製造方法によれば、堆積したアモルファスシリコンを大粒径化することにより、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タンクステンポリサイド構造におけるタンクステンシリサイドを介して起るN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することが可能になる。

【0014】なお、これら半導体装置の製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコンをアニールするに先立って該アモルファスシリコンにリンあるいはヒ素をイオン注入してN<sup>+</sup>型にするのが好ましい。このように不純物をイオン注入することにより、アニール後に得られるポリシリコン層をより一層大粒径化することができるからである。

#### 【0015】

【発明の実施の形態】以下、本発明を、半導体装置の製造方法に基いて詳しく説明する。

(第1実施形態例) この例では、N<sup>+</sup>型ポリシリコンを用いたWポリサイド構造のゲート電極を備えた半導体装置の、製造方法について説明する。図1(a)に示すように、まず、シリコン基板11表面側に、例えば950°Cウエット酸化によるLOCOS(Local Oxidation of Silicon)法によって素子分離領域となるフィールド酸化膜12を形成する。次に、NMOSFET(Nチャネル型のMOS型電界効果トランジスタ)を形成する領域にイオン注入法等によってP型ウエル領域(図示略)を形成するとともに、トランジスタのパンチスルーフを阻止するための埋め込み層(図示略)を形成する。さらに、トランジスタの閾値電圧V<sub>th</sub>を調整するためのイオン注入を行い、NMOSチャネル領域13を形成する。

【0016】次いで、熱酸化法(例えば850°Cの水素と酸素とからなる雰囲気中でのパイロジェニック酸化法)により、図1(b)に示すように露出しているシリコン基板11の表面にゲート酸化膜14を、例えば8nmの厚さに形成する。統いて、SiH<sub>4</sub>を原料ガスとした減圧下におけるCVD法(減圧化学的気相成長法、以

下、減圧CVD法と記す)により、堆積温度620°Cにて、ポリシリコンを例えば50nmの厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層15を形成する。

【0017】次いで、この一層目ポリシリコン層15の上に、SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度550°Cにて、アモルファスシリコン層16を例えば50nmの厚さに堆積する。統いて、650°C、10時間の条件でアニール処理を行ってアモルファスシリコン層16を結晶化し、図1(c)に示すように先に形成した一層目ポリシリコン層15を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層17を形成する。

【0018】次いで、POCl<sub>3</sub>中で830°Cの熱処理を行うことにより、一層目ポリシリコン層15、二層目ポリシリコン層17にそれぞれリンをドープし、これにより一層目ポリシリコン層15、二層目ポリシリコン層17をそれぞれN<sup>+</sup>型のポリシリコン層とする。

【0019】次いで、二層目ポリシリコン層17の上に、WF<sub>6</sub>/SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度380°Cにて、WSi<sub>x</sub>層18を例えば70nmの厚さに堆積形成する。さらに、これの上にSiH<sub>4</sub>/O<sub>2</sub>を原料ガスとしたCVD法により、堆積温度420°Cにて、SiO<sub>2</sub>層(図示略)を例えば厚さ150nmに堆積形成し、一層目ポリシリコン層15、二層目ポリシリコン層17、WSi<sub>x</sub>層18、SiO<sub>2</sub>層からなるオフセット酸化膜付きのWポリサイド配線層(図示略)を得る。

【0020】次いで、公知のリソグラフィ法によってレジストパターン(図示略)を形成し、さらにこのレジストパターンをマスクにして例えばフロコarbon系のガスを用いた異方性エッチングにより、図1(d)に示すようにSiO<sub>2</sub>のゲート電極パターン19を形成する。次いで、SiO<sub>2</sub>のゲート電極パターン19をマスクにした異方性エッチング(例えばCl<sub>2</sub>/O<sub>2</sub>ガスによるEPRエッチング)により、WSi<sub>x</sub>層18、二層目ポリシリコン層17、一層目ポリシリコン層15からなるWポリサイドをエッチングし、図1(e)に示すように前記SiO<sub>2</sub>のゲート電極パターン19を含むゲート電極パターン20を形成する。

【0021】次いで、As<sup>+</sup>を例えば加速エネルギー20keV、ドーズ量5×10<sup>13</sup>個/cm<sup>2</sup>の条件でイオン注入し、図1(f)に示すようにN型のLDD領域、すなわちNLDD領域21を形成する。統いて、減圧CVD法によりSiO<sub>2</sub>層(図示略)を厚さ150nmに堆積形成し、その後、このSiO<sub>2</sub>層を異方性エッチングすることによりサイドウォール22を形成する。統いて、NMOSチャネル領域13に例えばAs<sup>+</sup>を加速エネルギー20keV、ドーズ量3×10<sup>15</sup>個/cm<sup>2</sup>の条件でイオン注入し、N型のソース/ドレイン領域23

を形成する。

【0022】次いで、1000°C、10秒の条件によるRTA (Rapid Thermal Anneal) によって不純物の活性化を行い、その後、層間絶縁膜形成・コンタクトホール形成・A1等の配線材料によりゲート・ソース・ドレイン等の配線を行い、半導体装置を得る。

【0023】このようにして得られた半導体装置にあっては、二層目ポリシリコン層17が大粒径ポリシリコンで形成されているので、Wポリサイド構造におけるWSi<sub>x</sub>層18からのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜14へのフッ素の拡散が抑えられ、したがってゲート酸化膜14の膜厚の増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのが防止されている。また、WSi<sub>x</sub>層18がWF<sub>6</sub>／SiH<sub>4</sub>を原料ガスとした減圧CVD法で形成されていることから、このWSi<sub>x</sub>層18はステップカバレージに優れ、かつ低抵抗な膜となっている。

【0024】また、このような半導体装置の製造方法にあっては、堆積したアモルファスシリコン層をアニールすることによって大粒径化することにより、Wポリサイド構造におけるWシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることができ、したがってゲート酸化膜14の膜厚の増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止することができる。

【0025】なお、この半導体装置においては、一層目ポリシリコン層15と二層目ポリシリコン層17とにリンを同時にドープし、それぞれをN<sup>+</sup>型としたが、これらを別々にドープ処理してもよいのはもちろんであり、その場合には、上層のポリシリコン層、すなわち二層目ポリシリコン層17の不純物濃度を、下層のポリシリコン層（一層目ポリシリコン層15）の不純物濃度より低く形成するのが、N<sup>+</sup>型ポリシリコン層15、17からWSi<sub>x</sub>層18への不純物の拡散を抑えるうえで好ましい。

【0026】（第2実施形態例）この例では、N<sup>+</sup>型ポリシリコンを用いたWポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の、製造方法について説明する。まず、先の第1実施形態例と同様にしてシリコン基板表面側にフィールド酸化膜（図示略）を形成し、続いてNMOSFET（Nチャネル型のMOS型電界効果トランジスタ）を形成する領域にイオン注入法等によってP型ウエル領域（図示略）を形成するとともに、トランジスタのパンチスルーを阻止するための埋め込み層（図示略）を形成する。さらに、トランジスタの閾値電圧V<sub>th</sub>を調整するためのイオン注入を行い、NMOSチャネル領域（図示略）を形成する。

【0027】次いで、第1実施形態例と同様の熱酸化法により、図2(a)に示すように露出しているシリコン基板30の表面にゲート酸化膜31を、例えば8nmの厚さに形成する。続いて、SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度620°Cにて、ポリシリコンを例えば50nmの厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層32を形成する。そして、POCl<sub>3</sub>中で830°Cの熱処理を行うことにより、一層目ポリシリコン層32リンをドープし、これにより一層目ポリシリコン層32をN<sup>+</sup>型のポリシリコン層とする。なお、この一層目ポリシリコン32へのリンのドーピングについては、このような気相拡散による方法に代えて、CVD時にリンをドーピングするといった手法を採用してもよい。

【0028】次いで、塗布技術とリソグラフィー技術とで形成したレジストパターンをマスク（図示せず）にして、例えばCl<sub>2</sub>／O<sub>2</sub>をエッチングガスとして一層目ポリシリコン32を異方性エッチングし、さらに、例えばフロロカーボンをエッチングガスとしてゲート酸化膜31を異方性エッチングし、図2(b)に示すように埋め込みコンタクトの形成領域に開口部33を形成する。次いで、図2(c)に示すように一層目ポリシリコン層32の上に、SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度500°Cにて、アモルファスシリコン層34を例えば50nmの厚さに堆積する。続いて、このアモルファスシリコン層34に例えば加速エネルギー10keV、ドーズ量3×10<sup>15</sup>個／cm<sup>2</sup>の条件でリンをイオン注入する。このようなイオン注入により、アモルファスシリコンはよりアモルファスな構造となる。

【0029】次いで、650°C、10時間の条件でアニール処理を行ってアモルファスシリコン層34を結晶化し、先に形成した一層目ポリシリコン層32を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層35を形成する。続いて、1000°C、10秒の条件でRTAを行い、二層目ポリシリコン層35表面のリンを該ポリシリコン層33中に拡散させ、かつこれを活性化させて二層目ポリシリコン層35をその不純物濃度が一層目ポリシリコン層32の不純物濃度より低くなるようにする。ここで、先にアモルファスシリコン層34にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層35は、第1実施形態例の二層目ポリシリコン層17に比べより一層大粒径化したものとなっている。

【0030】次いで、図2(d)に示すように第1実施形態例と同様にしてWSi<sub>x</sub>層36を例えば70nmの厚さに堆積形成し、さらにこれの上にSiO<sub>2</sub>層（図示略）を例えば厚さ150nmに堆積形成し、これにより一層目ポリシリコン層32、二層目ポリシリコン層35、WSi<sub>x</sub>層36、SiO<sub>2</sub>層からなるオフセット酸化膜付きのWポリサイド配線層（図示略）を得る。続い

て、公知のリソグラフィ法によってレジストパターン（図示略）を形成し、さらにこのレジストパターンをマスクにして例えばプロロカーボン系のガスを用いた異方性エッチングにより、図2（d）に示すようにSiO<sub>2</sub>のゲート電極パターン37を形成する。

【0031】次いで、先の第1実施形態例と同様に、SiO<sub>2</sub>のゲート電極パターン37をマスクにした異方性エッチング（例えばC<sub>12</sub>/O<sub>2</sub>ガスによるECRエッチング）により、WSi<sub>x</sub>層36、二層目ポリシリコン層39、一層目ポリシリコン層32からなるWポリサイドをエッチングし、図2（e）に示すように前記SiO<sub>2</sub>のゲート電極パターン37を含むゲート電極パターン38を形成する。このとき、埋め込みコンタクトの形成領域における開口部33では、ゲート電極パターン38が無い位置においてシリコン基板30が掘れる。

【0032】続いて、NLD領域（図示略）、PLD領域（図示略）、サイドウォール（図示略）を形成し、さらにNMOSチャネル領域（図示略）に例えばAs<sup>+</sup>を加速エネルギー20keV、ドーズ量3×10<sup>15</sup>個/cm<sup>2</sup>の条件でイオン注入し、N型のソース/ドレイン領域（図示略）を形成する。次いで、図2（f）に示すようにSiO<sub>2</sub>を厚さ200nm程度に堆積して層間絶縁膜39を形成し、さらに公知のリソグラフィー技術、異方性エッチング技術によってコンタクトホール40を形成する。

【0033】次いで、SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度620°Cにて、ポリシリコンを例えば0.1μmの厚さに堆積し、さらにこのポリシリコンにB<sup>+</sup>を加速エネルギー10keV、ドーズ量4×10<sup>15</sup>個/cm<sup>2</sup>の条件でイオン注入する。続いて、イオン注入によりP<sup>+</sup>型にしたポリシリコンを、公知のリソグラフィー技術、エッチング技術によってパターンニングし、P<sup>+</sup>型のポリシリコン配線41を形成する。

【0034】次いで、1000°C、10秒の条件によるRTAによって不純物の活性化を行う。すると、埋め込みコンタクト部分では、一層目ポリシリコン32のリン（P）がシリコン基板30に拡散し、これにより一層目ポリシリコン32とソース/ドレイン領域（拡散層）42とを電気的に接続する埋め込みコンタクト43が得られる。その後、通常行われる種々の処理工程を経て、半導体装置を得る。

【0035】このようにして得られた半導体装置にあっては、二層目ポリシリコン層39が大粒径ポリシリコンで形成されているので、P<sup>+</sup>型のポリシリコン配線がゲート電極パターン38に接続されても、Wポリサイド構造におけるWSi<sub>x</sub>層36を介して起るN型不純物とP型不純物との相互拡散が大粒径ポリシリコンによって抑制されており、したがってゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられたものとなっている。

【0036】また、第1実施形態例と同様にWSi<sub>x</sub>層36がWF<sub>6</sub>/SiH<sub>4</sub>を原料ガスとした減圧CVD法で形成されていることから、このWSi<sub>x</sub>層36はステップカバレージに優れ、かつ低抵抗な膜となっている。また、二層目ポリシリコン層39の不純物濃度が、一層目ポリシリコン層32の不純物濃度より低く形成されているので、N<sup>+</sup>型ポリシリコン層からWSi<sub>x</sub>層36への不純物の拡散が一層抑えられる。

【0037】また、このような半導体装置の製造方法にあっては、堆積したアモルファスシリコンを大粒径化することにより、P<sup>+</sup>型のポリシリコン配線41をゲート電極パターン38に接続した際、Wポリサイド構造におけるWSi<sub>x</sub>層36を介して起るN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、したがってゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのを抑えることができる。また、この製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコン層34をアニールするに先立って該アモルファスシリコン層34にリンをイオン注入してN<sup>+</sup>型にしているので、アニール後に得られるポリシリコン層をより一層大粒径化することができる。

【0038】

【発明の効果】以上説明したように本発明における請求項1記載の半導体装置は、2層構造からなるN<sup>+</sup>型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されたものであるから、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。したがって、ゲート酸化膜中へのフッ素の拡散に起因してゲート酸化膜の膜厚が増加してしまうことがなく、これによりMOSFETにおけるゲート容量が減少し、MOSFET特性が低下してLSI動作も低下してしまうといった不都合を防止することができる。

【0039】請求項4記載の半導体装置は、2層構造からなるN<sup>+</sup>型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されたものであるから、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起るN型不純物とP型不純物との相互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

【0040】請求項7記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散

を抑え、MOSFETにおけるゲート容量の減少やMOSFET特性の低下などを防止することができる。

【0041】請求項9記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タンゲステンポリサイド構造におけるタンゲステンシリサイドを介して起こるN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、これによりゲート電極の仕事関数が変化することによるV<sub>th</sub>が変動や、コンタクト抵抗やシート抵抗の増大を抑制することができる。また、特に埋め込みコンタクトについては、工程増加を伴わずにその形成を行うことができ、しかも前記効果を奏すことができる。

【図面の簡単な説明】

【図1】(a)～(f)は、本発明の半導体装置の製造方法の第1実施形態例を工程順に説明するための要部側断面図である。

【図2】(a)～(f)は、本発明の半導体装置の製造

方法の第2実施形態例を工程順に説明するための要部側断面図である。

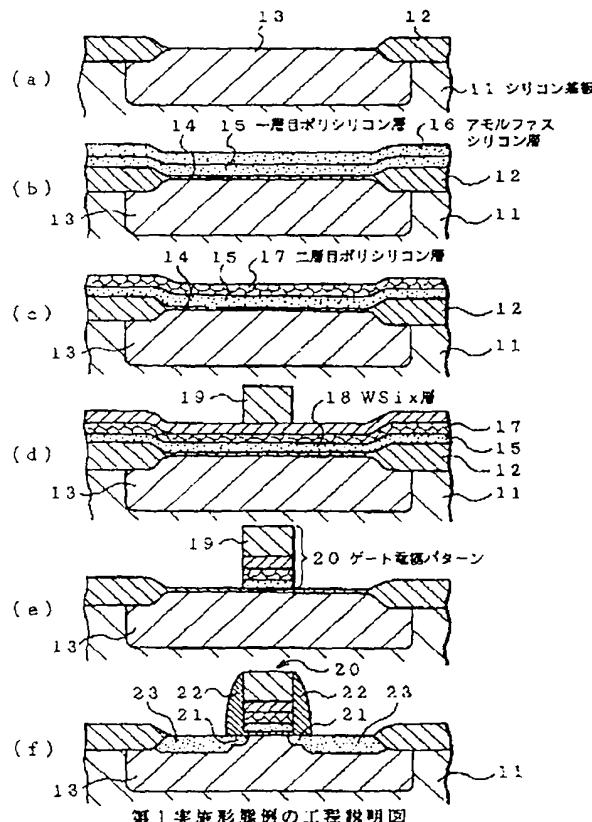
【図3】(a)～(c)は、従来の半導体装置の製造方法の一例を工程順に説明するための要部側断面図である。

【図4】従来の半導体装置の一例を示す要部側断面図である。

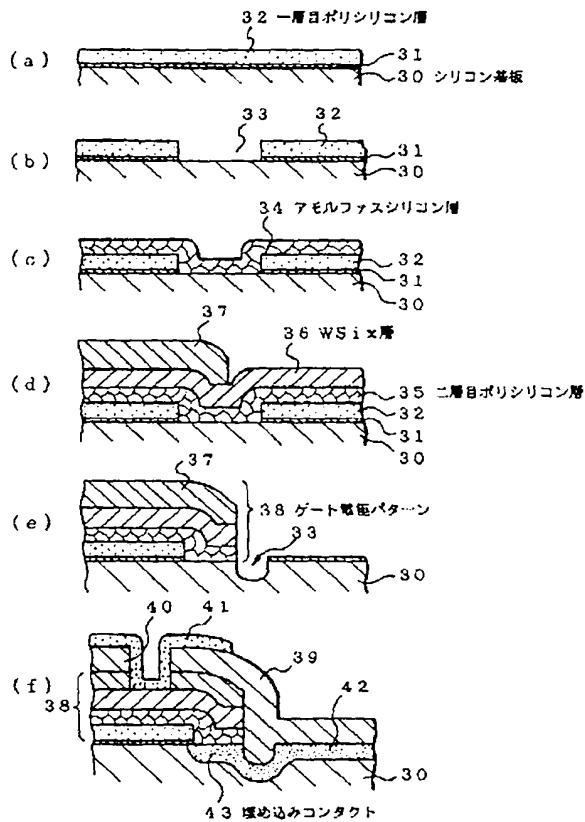
【符号の説明】

- 11、30 シリコン基板
- 15、32 一層目ポリシリコン層(下層のポリシリコン層)
- 16、34 アモルファスシリコン層
- 17、34 二層目ポリシリコン層(上層のポリシリコン層)
- 18、36 WSix層 20、38 ゲート電極パターン(ゲート電極)
- 42 ソース/ドレイン領域(拡散層) 43 埋め込みコンタクト

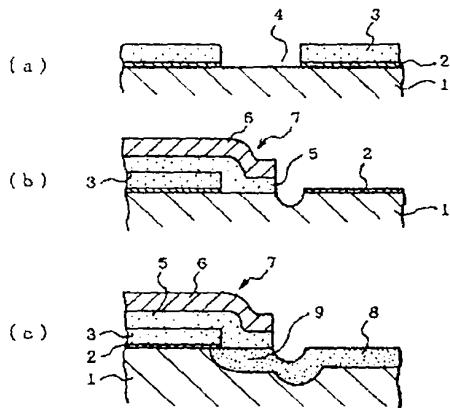
【図1】



【図2】

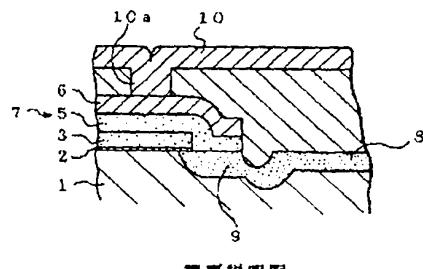


【図3】



従来の製造工程説明図

【図4】



顛倒説明図

## 【手続補正書】

【提出日】平成8年11月5日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

## 【補正内容】

## 【特許請求の範囲】

【請求項1】 N<sup>+</sup>型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置において、N<sup>+</sup>型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項2】 タングステンシリサイドが、SiH<sub>4</sub>を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記2層構造のN<sup>+</sup>型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 N<sup>+</sup>型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置において、

N<sup>+</sup>型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項5】 タングステンシリサイドが、SiH<sub>4</sub>を原料ガスとしたCVD法で形成されたものであることを

特徴とする請求項4記載の半導体装置。

【請求項6】 前記2層構造のN<sup>+</sup>型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 N<sup>+</sup>型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記N<sup>+</sup>型ポリシリコンの形成工程として、CVD法により堆積温度550°C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記N<sup>+</sup>型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN<sup>+</sup>型にする工程を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 N<sup>+</sup>型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、

前記N<sup>+</sup>型ポリシリコンの形成工程として、CVD法により堆積温度550°C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800°C以下の温度で1時間以上アニールすることにより、該アモ

ルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】前記N<sup>+</sup>型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN<sup>+</sup>型にする工程を備えたことを特徴とする請求項9記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】次いで、650°C、10時間の条件でアニール処理を行ってアモルファスシリコン層34を結晶化し、先に形成した一層目ポリシリコン層32を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層35を形成する。続いで、1000°C、10秒の条件でRTAを行い、二層目ポリシリコン層35表面のリンを該ポリシリコン層35中に拡散させ、かつこれを活性化させて二層目ポリシリコン層35をその不純物濃度が一層目ポリシリコン層32の不純物濃度より低くなるようにする。ここで、先にアモルファスシリコン層34にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層35は、第1実施形

態例の二層目ポリシリコン層17に比べより一層大粒径化したものとなっている。また、このようなRTAにより、二層目ポリシリコン層35表面のリンは開口部33を通ってシリコン基板30の表層部に拡散し、これにより該シリコン基板30の表層部に不純物拡散層44が形成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】次いで、1000°C、10秒の条件によるRTAによって不純物の活性化を行う。すると、埋め込みコンタクト部分では、ソース／ドレイン領域（拡散層）42の不純物がシリコン基板30に拡散し、これにより前記不純物領域44とソース／ドレイン領域（拡散層）42とを電気的に接続する埋め込みコンタクト43が得られる。その後、通常行われる種々の処理工程を経て、半導体装置を得る。

【手続補正4】

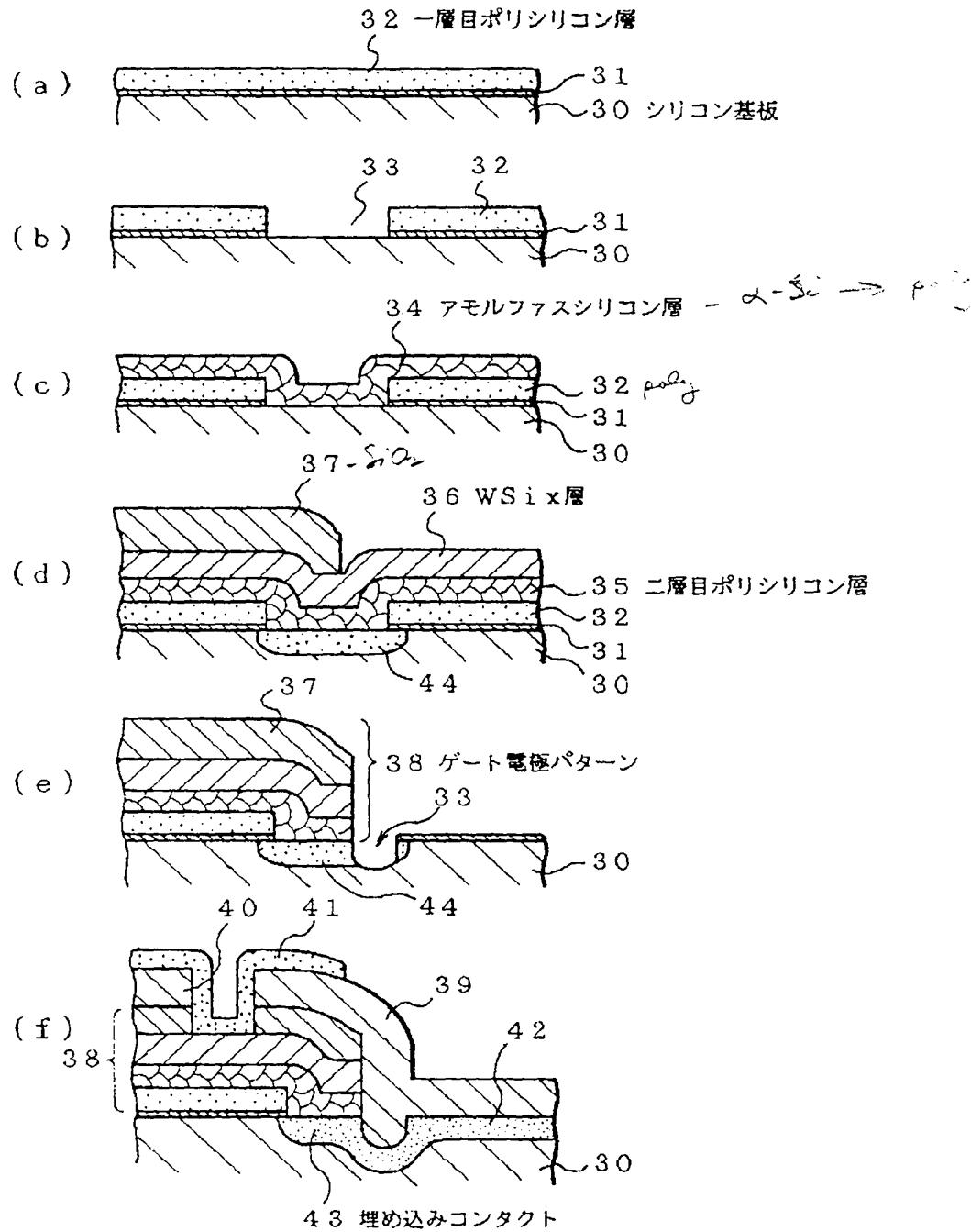
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



第2実施形態例の工程説明図

**Bibliographic Fields****Document Identity**

(19)【発行国】	(19) [Publication Office]
日本国特許庁(JP)	Japan Patent Office (JP)
(12)【公報種別】	(12) [Kind of Document]
公開特許公報(A)	Unexamined Patent Publication (A)
(11)【公開番号】	(11) [Publication Number of Unexamined Application]
特開平10-93077	Japan Unexamined Patent Publication Hei 10 - 93077
(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成10年(1998)4月10日	1998 (1998) April 10 days

**Public Availability**

(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成10年(1998)4月10日	1998 (1998) April 10 days

**Technical**

(54)【発明の名称】	(54) [Title of Invention]
半導体装置とその製造方法	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
(51)【国際特許分類第6版】	(51) [International Patent Classification, 6th Edition]
H01L 29/78	H01L 29/78
【FI】	【FI】
H01L 29/78 301 G	H01L 29/78 301 G
【請求項の数】	【Number of Claims】
10	10
【出願形態】	【Form of Application】
OL	OL
【全頁数】	【Number of Pages in Document】
10	10

**Filing**

【審査請求】	[Request for Examination]
未請求	Unrequested
(21)【出願番号】	(21) [Application Number]
特願平8-247557	Japan Patent Application Hei 8 - 247557
(22)【出願日】	(22) [Application Date]
平成8年(1996)9月19日	1996 (1996) September 19 days

**Parties****Applicants**

(71)【出願人】  
 【識別番号】  
 000002185  
 【氏名又は名称】  
 ソニー株式会社  
 【住所又は居所】  
 東京都品川区北品川6丁目7番35号

(71) [Applicant]  
 [Identification Number]  
 000002185  
 [Name]  
**SONY CORPORATION (DB 69-055-3649 )**  
 [Address]  
 Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35

**Inventors**

(72)【発明者】  
 【氏名】  
 塚本 雅則  
 【住所又は居所】  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) [Inventor]  
 [Name]  
 Tsukamoto Masanori  
 [Address]  
 Inside of Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35 Sony Corporation (DB 69-055-3649 )

**Agents**

(74)【代理人】  
 【弁理士】  
 【氏名又は名称】  
 船橋 國則

(74) [Attorney(s) Representing All Applicants]  
 [Patent Attorney]  
 [Name]  
 Funabashi Kuninori

**Abstract**

(57)【要約】  
 【課題】

ゲート酸化膜の膜厚増加に起因して MOSFET におけるゲート容量が減少し、MOSFET 特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することにより  $V_{th}$  が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法の提供が望まれている。

(57) [Abstract]  
 [Problems to be Solved by the Invention]

Originating in film thickness increase of gate oxide film, gate capacity in MOSFET decreases, preventing semiconductor device and manufacturing method, and mutual diffusion of the impurity prevent fact that MOSFET characteristic decreases,  $V_{th}$  fluctuates due to fact that work function of gate electrode changes, Offer of semiconductor device and manufacturing method which prevent fact that undesirable that occurs contact resistance and sheet resistance increase, is desired.

**【解決手段】**

$N^+$  型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極 20 を備えた半導体装置である。

$N^+$  型ポリシリコン層が 2 層構造に形成されており、これら 2 層のうちの少なくとも 1 層が大粒径

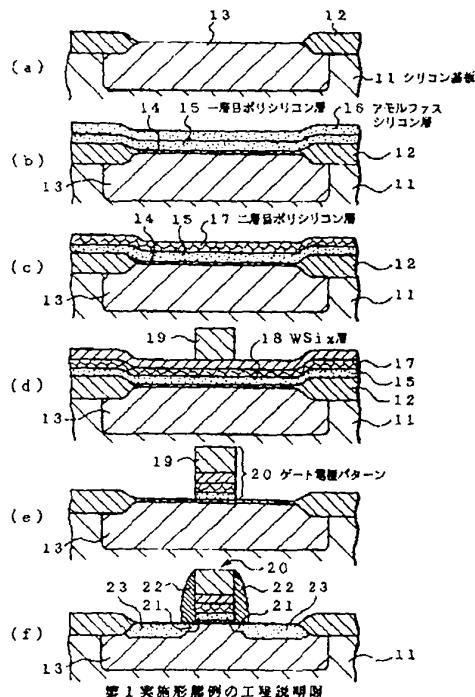
[Means to Solve the Problems]

It is a semiconductor device which has gate electrode 20 of tungsten poly side structure which uses  $N^+$  type polysilicon.

$N^+$  type polysilicon layer is formed by bilayer structure, among these 2 layers 1 layer is formed at least with large

ポリシリコンで形成されている。

大粒径ポリシリコンの形成は、CVD 法により堆積温度 550 deg C 以下でアモルファスシリコン 16 を堆積し、このアモルファスシリコン 16 を 800 deg C 以下の温度で 1 時間以上アニールすることによって行う。



particle diameter polysilicon.

Formation of large particle diameter polysilicon accumulates amorphous silicon 16 below deposition temperature 550 deg C with the CVD method, 1 hour or more anneal does this amorphous silicon 16 with temperature of 800 deg C or less it does with.

## Claims

### 【特許請求の範囲】

#### 【請求項 1】

$N^+$  型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備えた半導体装置において、

$N^+$  型ポリシリコン層が 2 層構造に形成されてなり、これら 2 層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

#### 【請求項 2】

タンゲステンシリサイドが、 $SiH_4$  を原料ガスとした CVD 法で形成されたものであることを特徴とする請求項 1 記載の半導体装置。

#### 【請求項 3】

[Claim(s)]

[Claim 1]

In semiconductor device which has gate electrode of tungsten poly side structure which uses  $N^+$  type polysilicon,

$N^+$  type polysilicon layer being formed by bilayer structure, it becomes, semiconductor device. where among these 2 layers 1 layer is formed at least with large particle diameter polysilicon and becomes and makes feature

[Claim 2]

tungsten polycide, is something which was formed with CVD method which designates  $SiH_4$  as starting material gas and semiconductor device. which is stated in the Claim 1 which is made feature

[Claim 3]

前記 2 層構造の  $N^+$  型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

$N^-$  型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置において、

$N^+$  型ポリシリコン層が 2 層構造に形成されてなり、これら 2 層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項 5】

タンゲステンシリサイドが、 $SiH_4$  を原料ガスとした CVD 法で形成されたものであることを特徴とする請求項 2 記載の半導体装置。

【請求項 6】

前記 2 層構造の  $N^+$  型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

$N^-$  型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記  $N^-$  型ポリシリコンの形成工程として、CVD 法により堆積温度 550 deg C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800 deg C 以下の温度で 1 時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 8】

前記  $N^-$  型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入して  $N^+$  型にする工程を備えたことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】

semiconductor device, which is stated in Claim 1 where impurity concentration of polysilicon layer of inside top layer of  $N^+$  type polysilicon layer of aforementioned bilayer structure is formed, lower than impurity concentration of polysilicon layer of bottom layer and makes feature

[Claim 4]

In semiconductor device which possesses pad contact which has gate electrode of the tungsten poly side structure which uses  $N^-$  type polysilicon, at same time connects the said gate electrode and diffusion layer to electrical,

$N^+$  type polysilicon layer being formed by bilayer structure, it becomes, semiconductor device, where among these 2 layers 1 layer is formed at least with large particle diameter polysilicon and becomes and makes feature

[Claim 5]

tungsten polycide, is something which was formed with CVD method which designates  $SiH_4$  as starting material gas and semiconductor device, which is stated in the Claim 2 which is made feature

[Claim 6]

semiconductor device, which is stated in Claim 1 where impurity concentration of polysilicon layer of inside top layer of  $N^+$  type polysilicon layer of aforementioned bilayer structure is formed, lower than impurity concentration of polysilicon layer of bottom layer and makes feature

[Claim 7]

In manufacturing method of semiconductor device which has gate electrode of tungsten poly side structure which uses  $N^+$  type polysilicon,

manufacturing method, of semiconductor device which said amorphous silicon solid phase had step, which grows for large particle diameter polysilicon this amorphous silicon of step, which accumulates the amorphous silicon below deposition temperature 550 deg C as formation process of aforementioned  $N^+$  type polysilicon, with CVD method by 1 hour or more anneal doing with temperature of 800 deg C or less, makes feature

[Claim 8]

As formation process of aforementioned  $N^+$  type polysilicon, between step which step and amorphous silicon which accumulates amorphous silicon anneal is done, ion implantation doing phosphorus or arsenic in amorphous silicon, manufacturing method, of semiconductor device which is stated in Claim 7 which had step which it makes  $N^+$  type and makes feature

[Claim 9]

N<sup>+</sup>型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、

前記N<sup>+</sup>型ポリシリコンの形成工程として、CVD法により堆積温度550 deg C以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800 deg C以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

#### 【請求項 10】

前記N<sup>+</sup>型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN<sup>+</sup>型にする工程を備えたことを特徴とする請求項9記載の半導体装置の製造方法。

#### Specification

##### 【発明の詳細な説明】

###### 【0001】

##### 【発明の属する技術分野】

本発明は、N<sup>+</sup>型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備えた半導体装置とその製造方法、およびN<sup>+</sup>型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備え、かつ該ゲート電極に電気的に接続する埋め込みコンタクトを有した半導体装置とその製造方法に関する。

###### 【0002】

##### 【従来の技術】

タンゲステンシリサイド(WSi<sub>x</sub>)とポリシリコン(Poly-Si)との積層構造で形成されるタンゲステンポリサイド(Wポリサイド)配線構造は、低抵抗でかつ熱的安定性に優れているため、MOSデバイス、バイポーラデバイス等で広く用いられている。

特に、MOSデバイスにおいては、ゲート酸化膜信頼性を確保しつつ閾値電圧(V<sub>th</sub>)制御にも優れていることから、ゲート電極として多く用いられている。

このようにWポリサイド構造をゲート電極として用いる場合、そのポリシリコンについては、高濃

In manufacturing method of semiconductor device which possesses pad contact which has the gate electrode of tungsten poly side structure which uses N<sup>+</sup> type polysilicon, at same time connects said gate electrode and diffusion layer to electrical,

manufacturing method of semiconductor device which said amorphous silicon solid phase had step, which grows for large particle diameter polysilicon this amorphous silicon of step, which accumulates the amorphous silicon below deposition temperature 550 deg C as formation process of aforementioned N<sup>+</sup> type polysilicon, with CVD method by 1 hour or more anneal doing with temperature of 800 deg C or less, makes feature

###### [Claim 10]

As formation process of aforementioned N<sup>+</sup> type polysilicon, between step which step and amorphous silicon which accumulate amorphous silicon anneal is done, ion implantation doing phosphorus or arsenic in amorphous silicon, manufacturing method of semiconductor device which is stated in Claim 9 which had step which it makes N<sup>+</sup> type and makes feature

##### [Description of the Invention]

###### [0001]

##### [Technological Field of Invention]

this invention has semiconductor device and manufacturing method, and gate electrode of tungsten poly side structure which which uses N<sup>+</sup> type polysilicon have gate electrode of tungsten poly side structure which uses N<sup>+</sup> type polysilicon regards semiconductor device and manufacturing method which possess the pad contact which at same time is connected to electrical in the said gate electrode.

###### [0002]

##### [Prior Art]

tungsten polycide (WSi<sub>x</sub>) with polysilicon (Poly-Si) with tungsten poly side (W poly side) metallization structure which is formed with laminated structure, because it is superior with low resistance and in the thermal stability, is widely used with MOS device, bipolar device etc.

Especially, while guaranteeing gate oxide film reliability, regarding MOS device, it is used mainly from fact that it is superior even in threshold voltage (V<sub>th</sub>) control, as gate electrode.

This way when W poly side structure it uses, as gate electrode high concentration impurity doped being possible concerning

度不純物ドープが可能であり、さらに熱的に安定であるなどの理由から、リン等の N 型の不純物をドープして N<sup>+</sup> 型とするのが普通である。

【0003】

ところで、タングステンシリサイドの堆積方法としてはスパッタ法や CVD 法があるが、ステップカバレージに優れ、かつ低抵抗な膜を形成することができるとの理由により、通常は CVD 法が用いられる。

このような CVD 法によるタングステンシリサイドの堆積方法としては、特に、SiH<sub>4</sub> と WF<sub>6</sub> とを原料にする減圧下での CVD 法(減圧化学的気相成長法、以下、減圧 CVD 法と記す)が一般的である。

【0004】

また、ゲート電極と拡散層との間のコンタクトをとる構造としては、埋め込みコンタクト(Buried Contact)を用いた構造が知られている。

このような埋め込みコンタクト構造を形成するには、まず、図 3(a)に示すようにシリコン基板 1 表面に形成したゲート酸化膜 2 上に一層目ポリシリコン層 3 を形成し、さらに一層目ポリシリコン層 3、ゲート酸化膜 2 をエッチングして埋め込みコンタクトの形成領域に開口部 4 を形成する。

【0005】

次に、二層目ポリシリコン層、WSi<sub>x</sub> 層をこの順に堆積形成して W ポリサイド層を得、さらにこの W ポリサイド層をエッチングによってパターニングし、図 3(b)に示すように一層目ポリシリコン層 3、二層目ポリシリコン層 5、WSi<sub>x</sub> 層 6 からなる W ポリサイド構造のゲート電極 7 を得る。

次いで、MOSFET(MOS 型電界効果トランジスタ)形成の際に拡散層領域を形成する。

その後、熱処理することにより、図 3(c)に示すようにポリシリコン層 5 中のドーパントと拡散層 8 中のドーパントを拡散させてこれらを接触させ、ゲート電極 7 と拡散層 8 とを電気的に接続する埋め込みコンタクト 9 を得る。

【0006】

【発明が解決しようとする課題】

ところで、前記の減圧 CVD 法によりタングステンシリサイド(WSi<sub>x</sub>)を堆積形成した半導体装置では、減圧 CVD 法によって形成された WSi<sub>x</sub> 膜中に  $1 \times 10^{20}$  個/cm<sup>3</sup> 以上のフッ素原子が含まれてしまっていることが知られている。

polysilicon, furthermore from or other reason which is astability in thermal, doped doing impurity of phosphorus or other n-type, it is normal to make N<sup>+</sup> type.

【0003】

By way, there is a sputtering method and a CVD method as deposition method of tungsten polycide, but when it is superior in step coverage, at same time low resistance film can be formed, usually CVD method is used by reason.

With this kind of CVD method especially, CVD method (Below pressure reduction study vapor phase deposition method, , vacuum CVD method you inscribe. ) under vacuum which designates SiH<sub>4</sub> and WF<sub>6</sub> as starting material is general as the deposition method of tungsten polycide.

【0004】

In addition, structure which uses pad contact (Buried Contact) as structure which takes contact between gate electrode and diffusion layer, is known.

This kind of pad contact structure is formed, as first, shown in Figure 3 (a), the first layer polysilicon layer 3 is formed on gate oxide film 2 which was formed in silicon substrate 1 surface, furthermore first layer polysilicon layer 3, gate oxide film 2 etching is done and opening 4 is formed in the forming region of pad contact.

【0005】

Next, accumulating forming second layer polysilicon layer, WSi<sub>x</sub> layer in this order, you obtain Wpoly side layer, furthermore patterning do this Wpoly side layer with etching, as shown in Figure 3 (b), you obtain gate electrode 7 of Wpoly side structure which consists of first layer polysilicon layer 3, second layer polysilicon layer 5, WSi<sub>x</sub> layer 6.

Next, diffusion layer domain is formed case of MOSFET (MOS type electric field effect transistor) formation.

After that, as shown in Figure 3 (c) by thermal processing doing, scattering doing dopant in polysilicon layer 5, and dopant in diffusion layer 8 these contacting, you obtain pad contact 9 which connects gate electrode 7 and the diffusion layer 8 to electrical.

【0006】

【Problems to be Solved by the Invention】

With semiconductor device which by way, it accumulated formed tungsten polycide (WSi<sub>x</sub>) by aforementioned vacuum CVD method, fluorine atom of  $1 \times 10^{20}/\text{cm}^3$  or more has been included in WSi<sub>x</sub> film which was formed with vacuum CVD method, it is informed.

しかし、ゲート電極中に高濃度のフッ素が含まれていると、800 deg C 以上程度の高温熱処理によってゲート酸化膜中にフッ素が拡散し、このゲート酸化膜の膜厚が増加してしまう。

したがって、MOSFET におけるゲート容量が減少し、MOSFET 特性が低下して LSI 動作も低下してしまうのである。

#### 【0007】

また、図 3(c)に示した埋め込みコンタクト 9 を有する半導体装置では、例えば該半導体装置が薄膜トランジスタ(TFT)を積層したスタック型 SRAM やキャパシタを積層したスタッ�型 DRAM である場合、通常、図 4 に示すように  $WSi_x$  層 6 上にポリシリコン配線 10 のコンタクト 10a が形成される。

このとき、図 4 中のポリシリコン配線 10 が P 型である場合には、 $WSi_x$  層 6 を介してゲート電極 7 や拡散層 8 中の N 型不純物とポリシリコン配線 10 中の P 型不純物とが相互拡散し、補償しまう。

そして、このような相互拡散による補償が起こると、ゲート電極 7 の仕事関数が変化することによって  $V_{th}$  が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じてしまう。

#### 【0008】

本発明は前記事情に鑑みてなされたもので、その目的とするところは、ゲート酸化膜の膜厚増加に起因して MOSFET におけるゲート容量が減少し、MOSFET 特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することにより  $V_{th}$  が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法を提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

本発明における請求項 1 記載の半導体装置では、 $N^+$  型ポリシリコンを用いたタンゲステンポリサイド構造のゲート電極を備え、 $N^+$  型ポリシリコン層が 2 層構造に形成されてなり、これら 2 層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されてなることを前記課題の解決射手段とした。

この半導体装置によれば、2 層構造からなる  $N^+$  型ポリシリコン層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されているので、タンゲス

But, when fluorine of high concentration is included in gate electrode, with the high temperature heat treatment of 800 deg C or greater extent fluorine scattering does in gate oxide film, film thickness of this oxide film increases.

Therefore, gate capacity in MOSFET decreases, MOSFET characteristic decreases and also LSI operation decreases.

#### 【0007】

In addition, with semiconductor device which possesses pad contact 9 which is shown in Figure 3 (c), when a stacked type SRAM where for example said semiconductor device laminates the thin film transistor (TFT) and a stacked type DRAMs which laminates capacitor it is, as usually, shown in Figure 4, contact 10a of polysilicon metallization 10 is formed on  $WSi_x$  layer 6.

When this time, polysilicon metallization 10 in Figure 4 is p-type, through  $WSi_x$  layer 6, n-type impurity in gate electrode 7 and diffusion layer 8 and p-type impurity in the polysilicon metallization 10 to do do, mutual diffusion compensation.

When and, compensation happens with this kind of mutual diffusion, work function of the gate electrode 7  $V_{th}$  fluctuates it changes with, undesirable that occurs contact resistance and sheet resistance increase.

#### 【0008】

As for this invention considering to aforementioned situation, beingsomething which it is possible, purpose, originating in film thickness increase of gate oxide film, gate capacity in MOSFET decreases, preventing semiconductor device and manufacturing method, and mutual diffusion of impurity prevent fact that MOSFET characteristic decreases,  $V_{th}$  fluctuates due to fact that work function of gate electrode changes, It is to offer semiconductor device and manufacturing method which prevent fact that the undesirable that occurs contact resistance and sheet resistance increase.

#### 【0009】

##### 【Means to Solve the Problems】

With semiconductor device which is stated in Claim 1 in this invention, it has the gate electrode of tungsten poly side structure which uses  $N^+$  type polysilicon,  $N^+$  type polysilicon layer is formed by bilayer structure and becomes, among these 2 layers 1 layer is formed at least with large particle diameter polysilicon and becomes it made the solution shooting means of aforementioned problem.

According to this semiconductor device, because among  $N^+$  type polysilicon layer which consists of bilayer structure 1 layer is formed at least with large particle diameter polysilicon, the

テンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。

## 【0010】

請求項 4 記載の半導体装置では、N<sup>+</sup> 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有し、N<sup>+</sup> 型ポリシリコン層が 2 層構造に形成されており、これら 2 層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されてなることを前記課題の解決手段とした。

この半導体装置によれば、2 層構造からなる N<sup>+</sup> 型ポリシリコン層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されているので、例えば P 型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起る N 型不純物と P 型不純物との相互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

## 【0011】

なお、これら半導体装置においては、タングステンシリサイドが、SiH<sub>4</sub> を原料ガスとした CVD 法で形成されたものであるのが好ましく、このような CVD 法によって形成されていることにより、該タングステンシリサイドはステップカバレージに優れ、かつ低抵抗な膜となる。

また、これら半導体装置においては、N<sup>+</sup> 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されているのが好ましく、このように上層のポリシリコン層の不純物濃度が下層のポリシリコン層の不純物濃度より低く形成されることにより、N<sup>+</sup> 型ポリシリコン層からタングステンシリサイドへの不純物の拡散が抑えられる。

## 【0012】

請求項 7 記載の半導体装置では、N<sup>+</sup> 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、前記 N<sup>+</sup> 型ポリシリコンの形成工程として、CVD 法により堆積温度 550 deg C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800 deg C 以下の温度で 1 時

scattering of fluorine from tungsten polycide in tungsten poly side structure being large particle diameter polysilicon, it is controled, can hold down scattering of fluorine to gate oxide film because of this.

## [0010]

With semiconductor device which is stated in Claim 4, it has gate electrode of the tungsten poly side structure which uses N<sup>+</sup> type polysilicon, it possesses pad contact which at same time connects said gate electrode and diffusion layer to electrical, N<sup>+</sup> type polysilicon layer is formed by bilayer structure and becomes, Among these 2 layers 1 layer being formed at least with large particle diameter polysilicon, it becomes, it made means for solving of aforementioned problem.

According to this semiconductor device, because among N<sup>+</sup> type polysilicon layer which consist of bilayer structure 1 layer is formed at least with large particle diameter polysilicon, when polysilicon metallization which introduces for example p-type impurity is connected to gate electrode, through tungsten polycide in tungsten poly side structure mutual diffusion of n-type impurity and p-type impurity which happen, is controled with large particle diameter polysilicon, Because of this work function of gate electrode changes, you can hold down the fact that contact resistance and sheet resistance increase.

## [0011]

Furthermore, said tungsten polycide is superior in step coverage by fact that the tungsten polycide, being something which was formed with CVD method which designates SiH<sub>4</sub> as starting material gas is desirable regarding these semiconductor device, is formed with this kind of CVD method, at same time becomes low resistance film.

In addition, impurity concentration of polysilicon layer of inside top layer of N<sup>+</sup> type polysilicon layer, than impurity concentration of polysilicon layer of bottom layer being lower formed is desirable regarding these semiconductor device, this way in impurity concentration of polysilicon layer of top layer being lower formed than impurity concentration of polysilicon layer of bottom layer depending, You can hold down scattering of impurity to tungsten polycide from N<sup>+</sup> type polysilicon layer.

## [0012]

With semiconductor device which is stated in Claim 7, this amorphous silicon of step, which accumulates amorphous silicon below deposition temperature 550 deg C in manufacturing method of semiconductor device which has gate electrode of tungsten poly side structure which uses N<sup>+</sup> type polysilicon, as formation process of aforementioned N<sup>+</sup> type polysilicon, with CVD method with temperature of 800

間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。

この半導体装置の製造方法によれば、堆積したアモルファスシリコンを大粒径化することにより、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることが可能になる。

#### 【0013】

請求項 9 記載の半導体装置では、N<sup>+</sup> 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、前記 N<sup>+</sup> 型ポリシリコンの形成工程として、CVD 法により堆積温度 550 deg C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800 deg C 以下の温度で 1 時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。

この半導体装置の製造方法によれば、堆積したアモルファスシリコンを大粒径化することにより、例えば P 型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起こる N 型不純物と P 型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができる。

#### 【0014】

なお、これら半導体装置の製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコンをアニールするに先立つて該アモルファスシリコンにリンあるいはヒ素をイオン注入して N<sup>-</sup> 型にするのが好ましい。

このように不純物をイオン注入することにより、アニール後に得られるポリシリコン層をより一層大粒径化することができるからである。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明を、半導体装置の製造方法に基いて詳しく説明する。

(第 1 実施形態例)この例では、N<sup>+</sup> 型ポリシリコ

deg C or less 1 hour or more anneal in doing depending, said amorphous silicon solid phase it had step, which grows for large particle diameter polysilicon, it made means for solving of aforementioned problem.

scattering of fluorine from tungsten polycide in tungsten poly side structure according to the manufacturing method of this semiconductor device, by to large particle diameter converting amorphous silicon which is accumulated, is controled with large particle diameter polysilicon, scattering of fluorine to gate oxide film is held down because of this, it becomes possible.

#### 【0013】

In manufacturing method of semiconductor device which possesses pad contact which with the semiconductor device which is stated in Claim 9, has gate electrode of tungsten poly side structure which uses N<sup>+</sup> type polysilicon, at same time connects said gate electrode and the diffusion layer to electrical, as formation process of aforementioned N<sup>+</sup> type polysilicon, said amorphous silicon solid phase it had step, which grows for large particle diameter polysilicon, this amorphous silicon of step, which accumulates amorphous silicon below deposition temperature 550 deg C with CVD method by 1 hour or more anneal doing with temperature of 800 deg C or less, it made means for solving of aforementioned problem.

When polysilicon metallization which introduces for example p-type impurity according to manufacturing method of this semiconductor device, by to large particle diameter converting amorphous silicon which is accumulated, is connected to gate electrode, through tungsten polycide in tungsten poly side structure mutual diffusion of n-type impurity and p-type impurity which happen, with large particle diameter polysilicon is controled becomes possible.

#### 【0014】

Furthermore, after accumulating amorphous silicon regarding manufacturing method of these semiconductor device, said amorphous silicon anneal is done preceding, ion implantation doing the phosphorus or arsenic in said amorphous silicon, it is desirable to make N<sup>+</sup> type.

This way because polysilicon layer which is acquired after anneal by the ion implantation doing impurity, can be converted to further large particle diameter.

#### 【0015】

##### 【Embodiment of the Invention】

You explain in detail below, this invention, on basis of manufacturing method of semiconductor device.

(first embodiment) With this example, you explain

ンを用いた W ポリサイド構造のゲート電極を備えた半導体装置の、製造方法について説明する。

図 1(a)に示すように、まず、シリコン基板 11 表面側に、例えば 950 deg C ウエット酸化による LOCOS(Local Oxidation of Silicon)法によって素子分離領域となるフィールド酸化膜 12 を形成する。

次に、NMOSFET(N チャネル型の MOS 型電界効果トランジスタ)を形成する領域にイオン注入法等によって P 型ウェル領域(図示略)を形成するとともに、トランジスタのパンチスルーを阻止するための埋め込み層(図示略)を形成する。

さらに、トランジスタの閾値電圧  $V_{th}$  を調整するためのイオン注入を行い、NMOS チャネル領域 13 を形成する。

#### 【0016】

次いで、熱酸化法(例えば 850 deg C の水素と酸素とからなる雰囲気中でのパイロジェニック酸化法)により、図 1(b)に示すように露出しているシリコン基板 11 の表面にゲート酸化膜 14 を、例えば 8nm の厚さに形成する。

続いて、 $\text{SiH}_4$  を原料ガスとした減圧下における CVD 法(減圧化学的気相成長法、以下、減圧 CVD 法と記す)により、堆積温度 620 deg C にて、ポリシリコンを例えば 50nm の厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層 15 を形成する。

#### 【0017】

次いで、この一層目ポリシリコン層 15 の上に、 $\text{SiH}_4$  を原料ガスとした減圧 CVD 法により、堆積温度 550 deg C にて、アモルファスシリコン層 16 を例えば 50nm の厚さに堆積する。

続いて、650 deg C、10 時間の条件でアニール処理を行ってアモルファスシリコン層 16 を結晶化し、図 1(c)に示すように先に形成した一層目ポリシリコン層 15 を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層 17 を形成する。

#### 【0018】

次いで、 $\text{POCl}_3$  中で 830 deg C の熱処理を行うことにより、一層目ポリシリコン層 15、二層目ポリシリコン層 17 にそれぞれリンをドープし、これに

concerning, manufacturing method of semiconductor device which has gate electrode of Wpoly side structure which uses N<sup>+</sup> type polysilicon.

As shown in Figure 1 (a), first, in silicon substrate 11 front side, field oxide film 12 which with for example 950 deg C wet oxidation becomes disassociated element region with LOCOS (local oxidation of Silicon) method is formed.

As next, in domain which forms NMOS FET (MOS type electric field effect transistor of n-channel type) is formed p-type well domain (omitted from drawing) with such as ion implantation, implanted layer (omitted from drawing) in order to obstruct punch slew of the transistor is formed.

Furthermore, ion implantation in order to adjust threshold voltage  $V_{th}$  of transistor is done, NMOS channel region 13 is formed.

#### 【0016】

Next, as shown in Figure 1 (b) with thermal oxidation method (hydrogen of for example 850 deg C and pyro di え nick oxidation method in atmosphere which consists of oxygen), in surface of the silicon substrate 11 which has been exposed gate oxide film 14, is formed in thickness of the for example 8 nm.

Consequently, with deposition temperature 620 deg C, polysilicon is accumulated in thickness of for example 50 nm with CVD method (Below pressure reduction study vapor phase deposition method, , vacuum CVD method you inscribe. ) in under vacuum which designates the  $\text{SiH}_4$  as starting material gas, first layer polysilicon layer 15 which becomes polysilicon layer of bottom layer in this invention is formed.

#### 【0017】

Next, on this first layer polysilicon layer 15, with deposition temperature 550 deg C, amorphous silicon layer 16 is accumulated in the thickness of for example 50 nm with vacuum CVD method which designates  $\text{SiH}_4$  as the starting material gas.

Consequently, doing annealing with condition of 650 deg C, 10 hours, crystallization it does amorphous silicon layer 16, as shown in Figure 1 (c), solid phase growing in the particle of large particle diameter in comparison with particle which forms first layer polysilicon layer 15 which was formed first, it forms second layer polysilicon layer 17.

#### 【0018】

Next, respective phosphorus doped is done in first layer polysilicon layer 15, second layer polysilicon layer 17 by doing the thermal processing of 830 deg C in  $\text{POCl}_3$ , because

より一層目ポリシリコン層 15、二層目ポリシリコン層 17 をそれぞれ N<sup>+</sup> 型のポリシリコン層とする。

【0019】

次いで、二層目ポリシリコン層 17 の上に、WF<sub>6</sub>/SiH<sub>4</sub> を原料ガスとした減圧 CVD 法により、堆積温度 380 deg C にて、WSi<sub>x</sub> 層 18 を例えば 70nm の厚さに堆積形成する。

さらに、これの上に SiH<sub>4</sub>/O<sub>2</sub> を原料ガスとした CVD 法により、堆積温度 420 deg C にて、SiO<sub>2</sub> 層(図示略)を例えば厚さ 150nm に堆積形成し、一層目ポリシリコン層 15、二層目ポリシリコン層 17、WSi<sub>x</sub> 層 18、SiO<sub>2</sub> 層からなるオフセット酸化膜付きの W ポリサイド配線層(図示略)を得る。

【0020】

次いで、公知のリソグラフィ法によってレジストパターン(図示略)を形成し、さらにこのレジストパターンをマスクにして例えばフロロカーボン系のガスを用いた異方性エッティングにより、図 1(d) に示すように SiO<sub>2</sub> のゲート電極パターン 19 を形成する。

次いで、SiO<sub>2</sub> のゲート電極パターン 19 をマスクにした異方性エッティング(例えば Cl<sub>2</sub>/O<sub>2</sub> ガスによる ECR エッティング)により、WSi<sub>x</sub> 層 18、二層目ポリシリコン層 17、一層目ポリシリコン層 15 からなる W ポリサイドをエッティングし、図 1(e) に示すように前記 SiO<sub>2</sub> のゲート電極パターン 19 を含むゲート電極パターン 20 を形成する。

【0021】

次いで、As<sup>+</sup> を例えば加速エネルギー 20keV、ドーズ量  $5 \times 10^{13}$  個/cm<sup>2</sup> の条件でイオン注入し、図 1(f) に示すように N 型の LDD 領域、すなわち NLDD 領域 21 を形成する。

続いて、減圧 CVD 法により SiO<sub>2</sub> 層(図示略)を厚さ 150nm に堆積形成し、その後、この SiO<sub>2</sub> 層を異方性エッティングすることによりサイドウォール 22 を形成する。

続いて、NMOS チャネル領域 13 に例えば As<sup>+</sup> を加速エネルギー 20keV、ドーズ量  $3 \times 10^{15}$  個/cm<sup>2</sup> の条件でイオン注入し、N 型のソース/ドレイン領域 23 を形成する。

【0022】

次いで、1000 deg C、10 秒の条件による RTA(Rapid Thermal Anneal)によって不純物の活性化を行い、その後、層間絶縁膜形成・コンタ

of this first layer polysilicon layer 15、second layer polysilicon layer 17 is designated as polysilicon layer of respective N<sup>+</sup> type.

【0019】

Next, on second layer polysilicon layer 17, with deposition temperature 380 deg C, it accumulates forms WSi<sub>x</sub> layer 18 in thickness of for example 70 nm with vacuum CVD method which designates WF<sub>6</sub>/SiH<sub>4</sub> as starting material gas.

Furthermore, with deposition temperature 420 deg C, it accumulates forms SiO<sub>2</sub> layer (omitted from drawing) in for example thickness 150 nm with CVD method which designates SiH<sub>4</sub>/O<sub>2</sub> as starting material gas on this, first layer polysilicon layer 15、second layer polysilicon layer 17、WSi<sub>x</sub> layer 18, it obtains offset oxide film equipped Wpoly side metallization layer (omitted from drawing) which consists of SiO<sub>2</sub> layer.

【0020】

Next, resist pattern (omitted from drawing) is formed with lithography method of public knowledge, as shown in Figure 1 (d) with anisotropic etching which uses gas of for example fluorocarbon type furthermore with this resist pattern as mask, gate electrode pattern 19 of SiO<sub>2</sub> is formed.

Next, WSi<sub>x</sub> layer 18, Wpoly side which consists of second layer polysilicon layer 17、first layer polysilicon layer 15 etching is done with anisotropic etching (With for example Cl<sub>2</sub>/O<sub>2</sub> gas ECR etching) which designates gate electrode pattern 19 of SiO<sub>2</sub> as mask, as shown in Figure 1 (e), gate electrode pattern 20 which includes the gate electrode pattern 19 of aforementioned SiO<sub>2</sub> is formed.

【0021】

Next, As<sup>+</sup> ion implantation is done with condition of for example acceleration energy—20 keV、dose  $5 \times 10^{13}/\text{cm}^2$ , as shown in Figure 1 (f), LDD region, namely NLDD region 21 of n-type is formed. TRANSLATION STALLED

Consequently, it accumulates forms SiO<sub>2</sub> layer (omitted from drawing) in thickness 150 nm with vacuum CVD method, it forms sidewall 22 after that, by anisotropic etching doing this SiO<sub>2</sub> layer.

Consequently, in NMOS channel region 13 for example As<sup>+</sup> ion implantation is done with condition of acceleration energy—20 keV、dose  $3 \times 10^{15}/\text{cm}^2$ , source/drain territory 23 of n-type is formed.

【0022】

Next, with condition of 1000 deg C, 10 second it activates impurity with the RTA (Rapid Thermal Anneal), it does gate \* source \* drain or other metallization after that, with

クトホール形成・Al 等の配線材料によりゲート・ソース・ドレイン等の配線を行い、半導体装置を得る。

【0023】

このようにして得られた半導体装置にあっては、二層目ポリシリコン層 17 が大粒径ポリシリコンで形成されているので、W ポリサイド構造における  $WSi_x$  層 18 からのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜 14 へのフッ素の拡散が抑えられ、したがってゲート酸化膜 14 の膜厚の増加に起因して MOSFET におけるゲート容量が減少し、MOSFET 特性が低下するのを防止されている。

また、 $WSi_x$  層 18 が  $WF_6/SiH_4$  を原料ガスとした減圧 CVD 法で形成されていることから、この  $WSi_x$  層 18 はステップカバーレージに優れ、かつ低抵抗な膜となっている。

【0024】

また、このような半導体装置の製造方法にあっては、堆積したアモルファスシリコン層をアニールすることによって大粒径化することにより、W ポリサイド構造における W シリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることができ、したがってゲート酸化膜 14 の膜厚の増加に起因して MOSFET におけるゲート容量が減少し、MOSFET 特性が低下するのを防止することができる。

【0025】

なお、この半導体装置においては、一層目ポリシリコン層 15 と二層目ポリシリコン層 17 とにリンを同時にドープし、それぞれを  $N^-$  型としたが、これらを別々にドープ処理してもよいのはもちろんであり、その場合には、上層のポリシリコン層、すなわち二層目ポリシリコン層 17 の不純物濃度を、下層のポリシリコン層(一層目ポリシリコン層 15)の不純物濃度より低く形成するのを、 $N^-$  型ポリシリコン層 15、17 から  $WSi_x$  層 18 への不純物の拡散を抑えるうえで好ましい。

【0026】

(第 2 実施形態例)この例では、 $N^-$  型ポリシリコンを用いた W ポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の、製造方法について説明する。

まず、先の第 1 実施形態例と同様にしてシリコン基板表面側にフィールド酸化膜(図示略)を形成

interlayer insulating film formation\*contact hole formation  
\*Al or other metallization material , obtains semiconductor device.

【0023】

There being a semiconductor device which it acquires in this way, because second layer polysilicon layer 17 is formed with large particle diameter polysilicon, scattering of fluorine from  $WSi_x$  layer 18 in Wpoly side structure being large particle diameter polysilicon, it is controled, can hold down scattering of fluorine to gate oxide film 14 because of this, therefore it originates in increase of film thickness of gate oxide film 14 and gate capacity in MOSFET decreases, MOSFET characteristic decreasing is prevented.

In addition, from fact that it is formed with vacuum CVD method where  $WSi_x$  layer 18 designates  $WF_6/SiH_4$  as starting material gas, this  $WSi_x$  layer 18 is superior in step coverage, at same time has become low resistance film.

【0024】

In addition, there being a manufacturing method of this kind of semiconductor device, anneal it does amorphous silicon layer which it accumulates you control scattering of fluorine from Wpoly side structure to large particle diameter by converting with ,with large particle diameter polysilicon, hold down scattering of fluorine to gate oxide film because of this it to be possible , Therefore originating in increase of film thickness of gate oxide film 14, the gate capacity in MOSFET decreases, it can prevent fact that MOSFET characteristic decreases.

【0025】

TRANSLATION STALLED When holding down scattering of impurity to of  $WSi_x$  layer 18 from the  $N^-$  type polysilicon layer 15, 17, it is desirable. semiconductor device first layer polysilicon layer 15 second layer polysilicon layer 17 phosphorusdoped  $N^-$  doped top layer polysilicon layer, second layer polysilicon layer 17 impurity concentration bottom layer polysilicon layer impurity concentration first layer polysilicon layer 15

【0026】

(second embodiment ) With this example, it has gate electrode of Wpoly side structure which uses the  $N^-$  type polysilicon, it explains concerning, manufacturing method of semiconductor device which possesses pad contact which at same time connects said gate electrode and diffusion layer to electrical.

First, as field oxide film (omitted from drawing ) is formed in silicon substrate front side to similar to first embodiment

し、続いて NMOSFET(N チャネル型の MOS 型電界効果トランジスタ)を形成する領域にイオン注入法等によって P 型ウエル領域(図示略)を形成するとともに、トランジスタのパンチスルーを阻止するための埋め込み層(図示略)を形成する。

さらに、トランジスタの閾値電圧  $V_{th}$  を調整するためのイオン注入を行い、NMOS チャネル領域(図示略)を形成する。

#### 【0027】

次いで、第 1 実施形態例と同様の熱酸化法により、図 2(a)に示すように露出しているシリコン基板 30 の表面にゲート酸化膜 31 を、例えば 8nm の厚さに形成する。

続いて、 $\text{SiH}_4$  を原料ガスとした減圧 CVD 法により、堆積温度 620 deg C にて、ポリシリコンを例えば 50nm の厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層 32 を形成する。

そして、 $\text{POCl}_3$  中で 830 deg C の熱処理を行うことにより、一層目ポリシリコン層 32 リンをドープし、これにより一層目ポリシリコン層 32 を  $N^+$  型のポリシリコン層とする。

なお、この一層目ポリシリコン 32 へのリンのドーピングについては、このような気相拡散による方法に代えて、CVD 時にリンをドーピングするといった手法を採用してもよい。

#### 【0028】

次いで、塗布技術とリソグラフィー技術とで形成したレジストパターンをマスク(図示せず)にして、例えば  $\text{Cl}_2 / \text{O}_2$  をエッティングガスとして一層目ポリシリコン 32 を異方性エッティングし、さらに、例えばフロロカーボンをエッティングガスとしてゲート酸化膜 31 を異方性エッティングし、図 2(b)に示すように埋め込みコンタクトの形成領域に開口部 33 を形成する。

次いで、図 2(c)に示すように一層目ポリシリコン層 32 の上に、 $\text{SiH}_4$  を原料ガスとした減圧 CVD 法により、堆積温度 550 deg C にて、アモルファスシリコン層 34 を例えば 50nm の厚さに堆積する。

続いて、このアモルファスシリコン層 34 に例えば加速エネルギー 10keV、ドーズ量  $3 \times 10^{15} \text{ 個}/\text{cm}^2$  の条件でリンをイオン注入する。

このようなイオン注入により、アモルファスシリコンはよりアモルファスな構造となる。

ahead, continuously in domain which forms NMOS FET (MOS type electric field effect transistor of n-channel type) is formed p-type well domain (omitted from drawing) with such as ion implantation, implanted layer (omitted from drawing) in order to obstruct the punch slew of transistor is formed.

Furthermore, ion implantation in order to adjust threshold voltage  $V_{th}$  of transistor is done, NMOS channel region (omitted from drawing) is formed.

#### 【0027】

Next, as shown in Figure 2 (a) with thermal oxidation method which is similar to the first embodiment, in surface of silicon substrate 30 which has been exposed gate oxide film 31, is formed in thickness of for example 8 nm.

Consequently, with deposition temperature 620 deg C, polysilicon is accumulated in thickness of for example 50 nm with vacuum CVD method which designates  $\text{SiH}_4$  as starting material gas, the first layer polysilicon layer 32 which becomes polysilicon layer of bottom layer in this invention is formed.

first layer polysilicon layer 32 phosphorus doped is done and, by doing thermal processing of 830 deg C in  $\text{POCl}_3$ , because of this first layer polysilicon layer 32 is designated as polysilicon layer of  $N^+$  type.

Furthermore, replacing to method with this kind of gas phase scattering concerning doping of phosphorus to this first layer polysilicon 32, it is possible to adopt the technique that doping does phosphorus at time of CVD.

#### 【0028】

Next, first layer polysilicon 32 anisotropic etching is done with resist pattern which with the coating fabric technology and lithography technology was formed as mask (not shown), with for example  $\text{Cl}_2 / \text{O}_2$  as etching gas, gate oxide film 31 anisotropic etching is done furthermore, with for example fluorocarbon as etching gas, as shown in Figure 2 (b), opening 33 is formed in the forming region of pad contact.

Next, as shown in Figure 2 (c), on first layer polysilicon layer 32, with deposition temperature 550 deg C, the amorphous silicon layer 34 is accumulated in thickness of for example 50 nm with vacuum CVD method which designates  $\text{SiH}_4$  as starting material gas.

Consequently, in this amorphous silicon layer 34 phosphorus ion implantation is done with condition of for example acceleration energy 10 keV, dose  $3 \times 10^{15} / \text{cm}^2$ .

Depending upon this kind of ion implantation, from amorphous silicon amorphous becomes structure.

## 【0029】

次いで、650 deg C、10 時間の条件でアニール処理を行ってアモルファスシリコン層 34 を結晶化し、先に形成した一層目ポリシリコン層 32 を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層 35 を形成する。

続いて、1000 deg C、10 秒の条件で RTA を行い、二層目ポリシリコン層 35 表面のリンを該ポリシリコン層 35 中に拡散させ、かつこれを活性化させて二層目ポリシリコン層 35 をその不純物濃度が一層目ポリシリコン層 32 の不純物濃度より低くなるようにする。

ここで、先にアモルファスシリコン層 34 にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層 35 は、第 1 実施形態例の二層目ポリシリコン層 17 に比べより一層大粒径化したものとなっている。

## 【0030】

次いで、図 2(d)に示すように第 1 実施形態例と同様にして  $WSi_x$  層 36 を例えば 70nm の厚さに堆積形成し、さらにこれの上に  $SiO_2$  層(図示略)を例えば厚さ 150nm に堆積形成し、これにより一層目ポリシリコン層 32、二層目ポリシリコン層 35、 $WSi_x$  層 36、 $SiO_2$  層からなるオフセット酸化膜付きの W ポリサイド配線層(図示略)を得る。

続いて、公知のリソグラフィ法によってレジストパターン(図示略)を形成し、さらにこのレジストパターンをマスクにして例えばフロロカーボン系のガスを用いた異方性エッティングにより、図 2(d)に示すように  $SiO_2$  のゲート電極パターン 37 を形成する。

## 【0031】

次いで、先の第 1 実施形態例と同様に、 $SiO_2$  のゲート電極パターン 37 をマスクにした異方性エッティング(例えば  $Cl_2/O_2$  ガスによる ECR エッティング)により、 $WSi_x$  層 36、二層目ポリシリコン層 35、一層目ポリシリコン層 32 からなる W ポリサイドをエッティングし、図 2(e)に示すように前記  $SiO_2$  のゲート電極パターン 37 を含むゲート電極パターン 38 を形成する。

このとき、埋め込みコンタクトの形成領域における開口部 33 では、ゲート電極パターン 38 が無い位置においてシリコン基板 30 が掘れる。

## 【0032】

続いて、NLDD 領域(図示略)、PLDD 領域(図示略)を形成する。

## 【0029】

Next, doing annealing with condition of 650 deg C、10 hours, crystallization it does amorphous silicon layer 34, solid phase growing in particle of large particle diameter in comparison with particle which forms first layer polysilicon layer 32 which was formed first, it forms second layer polysilicon layer 35.

Consequently, doing RTA with condition of 1000 deg C、10 second, scattering doing phosphorus of second layer polysilicon layer 35 surface in said polysilicon layer 35, at same time activating this impurity concentration tries second layer polysilicon layer 35 that becomes lower than impurity concentration of first layer polysilicon layer 32.

Here, second layer polysilicon layer 35 which is acquired after anneal by ion implantation doing phosphorus first in amorphous silicon layer 34, to further large particle diameter has become something which is converted in comparison with second layer polysilicon layer 17 of first embodiment.

## 【0030】

Next, as shown in Figure 2 (d), it accumulates forms  $WSi_x$  layer 36 in thickness of for example 70 nm to similar to first embodiment, furthermore on this in for example thickness 150 nm it accumulates forms  $SiO_2$  layer (omitted from drawing), because of this first layer polysilicon layer 32, second layer polysilicon layer 35,  $WSi_x$  layer 36, it obtains offset oxide film equipped Wpoly side metallization layer (omitted from drawing) which consists of  $SiO_2$  layer.

Consequently, resist pattern (omitted from drawing) is formed with lithography method of public knowledge, as shown in Figure 2 (d) with anisotropic etching which uses gas of for example fluorocarbon type furthermore with this resist pattern as mask, gate electrode pattern 37 of  $SiO_2$  is formed.

## 【0031】

Next, in same way as first embodiment ahead,  $WSi_x$  layer 36, Wpoly side which consists of second layer polysilicon layer 35, first layer polysilicon layer 32 etching is done with anisotropic etching (With for example  $Cl_2/O_2$  gas ECR etching) which designates gate electrode pattern 37 of  $SiO_2$  as mask, as shown in Figure 2 (e), gate electrode pattern 38 which includes gate electrode pattern 37 of aforementioned  $SiO_2$  is formed.

This time, silicon substrate 30 can dig with opening 33 in forming region of pad contact, in position which is not gate electrode pattern 38.

## 【0032】

Consequently, NLDD region (omitted from drawing), PLDD

略)、サイドウォール(図示略)を形成し、さらにNMOSチャネル領域(図示略)に例えればAs<sup>+</sup>を加速エネルギー20keV、ドーザ量3×10<sup>15</sup>個/cm<sup>2</sup>の条件でイオン注入し、N型のソース/ドレイン領域(図示略)を形成する。

次いで、図2(f)に示すようにSiO<sub>2</sub>を厚さ200nm程度に堆積して層間絶縁膜39を形成し、さらに公知のリソグラフィー技術、異方性エッチャング技術によってコンタクトホール40を形成する。

#### 【0033】

次いで、SiH<sub>4</sub>を原料ガスとした減圧CVD法により、堆積温度620degCにて、ポリシリコンを例えれば50nmの厚さに堆積し、さらにこのポリシリコンにB<sup>+</sup>を加速エネルギー10keV、ドーザ量4×10<sup>15</sup>個/cm<sup>2</sup>の条件でイオン注入する。

続いて、イオン注入によりP<sup>+</sup>型にしたポリシリコンを、公知のリソグラフィー技術、エッチャング技術によってパターンニングし、P<sup>+</sup>型のポリシリコン配線41を形成する。

#### 【0034】

次いで、1000degC、10秒の条件によるRTAによって不純物の活性化を行う。

すると、埋め込みコンタクト部分では、一層目ポリシリコン32のリン(P)がシリコン基板30に拡散し、これにより一層目ポリシリコン32とソース/ドレイン領域(拡散層)42とを電気的に接続する埋め込みコンタクト43が得られる。

その後、通常行われる種々の処理工程を経て、半導体装置を得る。

#### 【0035】

このようにして得られた半導体装置にあっては、二層目ポリシリコン層35が大粒径ポリシリコンで形成されているので、P<sup>+</sup>型のポリシリコン配線がゲート電極パターン38に接続されていても、Wポリサイド構造におけるWSi<sub>x</sub>層36を介して起こるN型不純物とP型不純物との相互拡散が大粒径ポリシリコンによって抑制されており、したがってゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられたものとなっている。

#### 【0036】

また、第1実施形態例と同様にWSi<sub>x</sub>層36がWF<sub>6</sub>/SiH<sub>4</sub>を原料ガスとした減圧CVD法で形成されていることから、このWSi<sub>x</sub>層36はステップ

region (omitted from drawing), sidewall (omitted from drawing) is formed, furthermore in NMOS channel region (omitted from drawing) for example As<sup>+</sup> ion implantation is done with condition of acceleration energy—20 keV, dose 3 X 10<sup>15</sup>/cm<sup>2</sup>, source/drain territory (omitted from drawing) of n-type is formed.

Next, as shown in Figure 2 (f), accumulating SiO<sub>2</sub> in thickness 200 nm extent, it forms interlayer insulating film 39, furthermore forms contact hole 40 with lithography technology, anisotropic etching technology of the public knowledge.

#### 【0033】

Next, with deposition temperature 620 deg C, polysilicon is accumulated in thickness of the for example 50 nm with vacuum CVD method which designates SiH<sub>4</sub> as starting material gas, furthermore in this polysilicon B<sup>+</sup> ion implantation is done with condition of acceleration energy—10 keV, dose 4 X 10<sup>15</sup>/cm<sup>2</sup>.

Consequently, polysilicon which is made P<sup>+</sup> type with ion implantation, the patterning is done with lithography technology, etching technology of public knowledge, polysilicon metallization 41 of P<sup>+</sup> type is formed.

#### 【0034】

Next, with condition of 1000 deg C, 10 second it activates impurity with the RTA.

When it does, with pad contact portion, phosphorus (P) of first layer polysilicon 32 scattering does in silicon substrate 30, because of this first layer polysilicon 32 and source/drain territory (diffusion layer) pad contact 43 which connects 42 to electrical is acquired.

After that, passing by various treatment step which usually is done, you obtain the semiconductor device.

#### 【0035】

There being a semiconductor device which it acquires in this way, because second layer polysilicon layer 35 is formed with large particle diameter polysilicon, polysilicon metallization of P<sup>+</sup> type being connected by gate electrode pattern 38, through WSi<sub>x</sub> layer 36, in Wpoly side structure mutual diffusion of the n-type impurity and p-type impurity which happen being large particle diameter polysilicon, we to be controled, therefore work function of gate electrode changes, It has become something where you could hold down fact that the contact resistance and sheet resistance increase.

#### 【0036】

In addition, from fact that it is formed with vacuum CVD method where WSi<sub>x</sub> layer 36 designates WF<sub>6</sub>/SiH<sub>4</sub> as starting material gas in same way as first embodiment, this WSi<sub>x</sub> layer

カバレージに優れ、かつ低抵抗な膜となっている。

また、二層目ポリシリコン層 35 の不純物濃度が、一層目ポリシリコン層 32 の不純物濃度より低く形成されているので、N<sup>+</sup>型ポリシリコン層から WSi<sub>x</sub> 層 36 への不純物の拡散が一層抑えられる。

#### 【0037】

また、このような半導体装置の製造方法にあつては、堆積したアモルファスシリコンを大粒径化することにより、P<sup>+</sup>型のポリシリコン配線 41 をゲート電極パターン 38 に接続した際、W ポリサイド構造における WSi<sub>x</sub> 層 36 を介して起こる N 型不純物と P 型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、したがってゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのを抑えることができる。

また、この製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコン層 34 をアニールするに先立って該アモルファスシリコン層 34 にリンをイオン注入して N<sup>+</sup>型にしているので、アニール後に得られるポリシリコン層をより一層大粒径化することができる。

#### 【0038】

##### 【発明の効果】

以上説明したように本発明における請求項 1 記載の半導体装置は、2 層構造からなる N<sup>+</sup>型ポリシリコン層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されたものであるから、タンゲステンポリサイド構造におけるタンゲステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。

したがって、ゲート酸化膜中のフッ素の拡散に起因してゲート酸化膜の膜厚が増加してしまうことがなく、これにより MOSFET におけるゲート容量が減少し、MOSFET 特性が低下して LSI 動作も低下してしまうといった不都合を防止することができる。

#### 【0039】

請求項 4 記載の半導体装置は、2 層構造からなる N<sup>+</sup>型ポリシリコン層のうちの少なくとも 1 層が大粒径ポリシリコンで形成されたものであるから、例えば P 型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タンゲステンポリサイド構造におけるタンゲステンシリサイドを介して起こる N 型不純物と P 型不純物との相

36 は優れたステップカバレージを有するが、同時に低抵抗の膜となる。

In addition, because impurity concentration of second layer polysilicon layer 35 is lower formed, than the impurity concentration of first layer polysilicon layer 32, you can hold down scattering of impurity to of WSi<sub>x</sub> layer 36 more from N<sup>+</sup> type polysilicon layer.

#### 【0037】

In addition, there being a manufacturing method of this kind of semiconductor device, occasionwhere you connect polysilicon metallization 41 of P<sup>+</sup> type to gate electrode pattern 38 by to large particle diameter converting amorphous silicon which it accumulates, through WSi<sub>x</sub> layer 36, in Wpoly side structure controls mutual diffusion of n-type impurity and p-type impurity whichhappen, with large particle diameter polysilicon to be possible, therefore work function of gate electrode changes, Fact that contact resistance and sheet resistance increase is held down, it ispossible .

In addition, after accumulating amorphous silicon regarding this manufacturing method, the said amorphous silicon layer 34 anneal is done preceding, ion implantation doing phosphorus in the said amorphous silicon layer 34, because it has made N<sup>+</sup> type, to further large particle diameter it can convert the polysilicon layer which is acquired after anneal.

#### 【0038】

##### 【Effects of the Invention】

As above explained, because semiconductor device which is stated in Claim 1 in this invention is something where among N<sup>+</sup> type polysilicon layer which consistof bilayer structure 1 layer was formed at least with large particle diameter polysilicon, scattering of fluorine from tungsten polycide in tungsten poly side structure being large particle diameter polysilicon, it iscontroled, can hold down scattering of fluorine to gate oxide film becauseof this.

Therefore, originating in scattering of fluorine to in gate oxide film, the film thickness of gate oxide film increases, is not , gate capacity because ofthis in MOSFET decreases, MOSFET characteristic decreases and it can prevent undesirable that also LSI operation decreases.

#### 【0039】

Because semiconductor device which is stated in Claim 4 is something whereamong N<sup>+</sup> type polysilicon layer which consist of bilayer structure 1 layer wasformed at least with large particle diameter polysilicon, when polysilicon metallization which introduces the for example p-type impurity is connected to gate electrode, through tungsten polycide in tungsten poly side structure the mutual diffusion

互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

## 【0040】

請求項 7 記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、タンゲステンポリサイド構造におけるタンゲステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑え、MOSFETにおけるゲート容量の減少や MOSFET 特性の低下などを防止することができる。

## 【0041】

請求項 9 記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、例えば P 型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タンゲステンポリサイド構造におけるタンゲステンシリサイドを介して起こる N 型不純物と P 型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、これによりゲート電極の仕事関数が変化することによる  $V_{th}$  が変動や、コンタクト抵抗やシート抵抗の増大を抑制することができる。

また、特に埋め込みコンタクトについては、工程増加を伴わずにその形成を行うことができ、しかも前記効果を奏すことができる。

## 【図面の簡単な説明】

## 【図1】

(a)~(f)は、本発明の半導体装置の製造方法の第 1 実施形態例を工程順に説明するための要部側断面図である。

## 【図2】

(a)~(f)は、本発明の半導体装置の製造方法の第 2 実施形態例を工程順に説明するための要部側断面図である。

## 【図3】

(a)~(c)は、従来の半導体装置の製造方法の一例を工程順に説明するための要部側断面図である。

## 【図4】

of n-type impurity and p-type impurity which happen, is controled with the large particle diameter polysilicon , Because of this work function of gate electrode changes, you can hold down thefact that contact resistance and sheet resistance increase.

## [0040]

Because manufacturing method of semiconductor device which is stated in Claim 7 issomething which amorphous silicon which is accumulated to large particle diameter isconverted, scattering of fluorine from tungsten polycide in tungsten poly side structure iscontroled with large particle diameter polysilicon, scattering of fluorine to gate oxide film is helddown because of this, decrease of gate capacity in MOSFET and decreaseetc of MOSFET characteristic can be prevented.

## [0041]

Because manufacturing method of semiconductor device which is stated in Claim 9 issomething which amorphous silicon which is accumulated to large particle diameter isconverted, when polysilicon metallization which introduces for example p-type impurity is connected to gate electrode, through tungsten polycide in tungsten poly side structure controls mutual diffusion of the n-type impurity and p-type impurity which happen, with large particle diameter polysilicon to bepossible. Because of this  $V_{th}$  can control increase of fluctuation and contact resistance and sheet resistance by fact that work function of gate electrode changes.

In addition, without accompanying step increase, concerning theespecially pad contact, it forms the, it is possible ,furthermore it is possible to possess aforementioned effect.

## [Brief Explanation of the Drawing(s)]

## [Figure 1]

(a ) - (f ) is main point part side cross section diagram in order toexplain first embodiment of manufacturing method of semiconductor device of this invention to process sequence.

## [Figure 2]

(a ) - (f ) is main point part side cross section diagram in order toexplain second embodiment of manufacturing method of semiconductor device of this invention to process sequence.

## [Figure 3]

(a ) - (c ) is main point part side cross section diagram in order toexplain one example of manufacturing method of conventional semiconductor device to process sequence.

## [Figure 4]

従来の半導体装置の一例を示す要部側断面図である。

【符号の説明】

11	
シリコン基板	silicon substrate
15	
一層目ポリシリコン層(下層のポリシリコン層)	first layer polysilicon layer (polysilicon layer of bottom layer )
16	
アモルファスシリコン層	amorphous silicon layer
17	
二層目ポリシリコン層(上層のポリシリコン層)	second layer polysilicon layer (polysilicon layer of top layer )
18	
WSix 層	WSix layer
20	
ゲート電極パターン(ゲート電極)	gate electrode pattern (gate electrode )
30	
シリコン基板	silicon substrate
32	
一層目ポリシリコン層(下層のポリシリコン層)	first layer polysilicon layer (polysilicon layer of bottom layer )
34	
アモルファスシリコン層	amorphous silicon layer
34	
二層目ポリシリコン層(上層のポリシリコン層)	second layer polysilicon layer (polysilicon layer of top layer )
36	
WSix 層	WSix layer
38	
ゲート電極パターン(ゲート電極)	gate electrode pattern (gate electrode )
42	
ソース/ドレイン領域(拡散層)	source/drain territory (diffusion layer )
43	
埋め込みコンタクト	Pad contact

**Drawings**

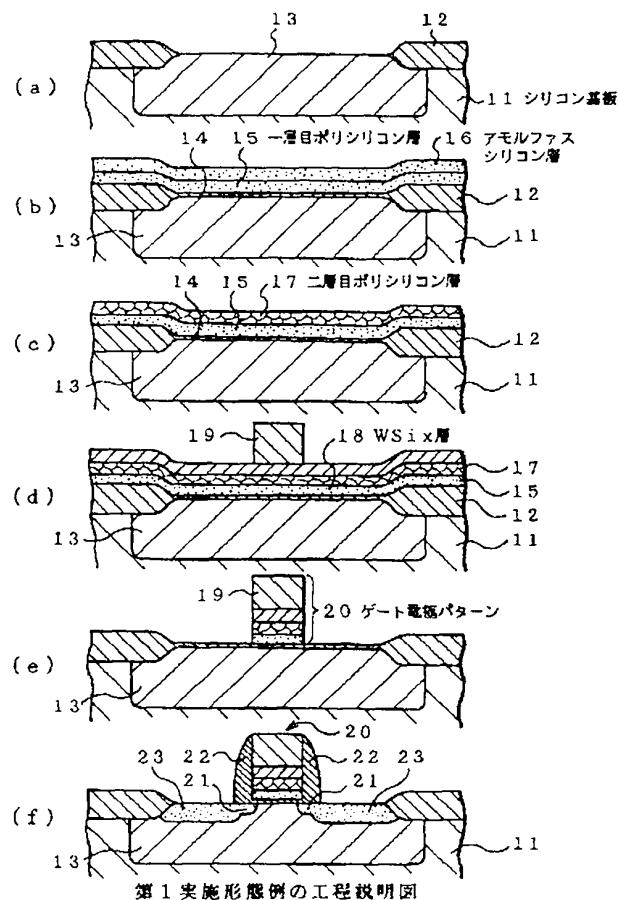
【図1】

It is a main point part side cross section diagram which shows one example of conventional semiconductor device.

[Explanation of Symbols in Drawings]

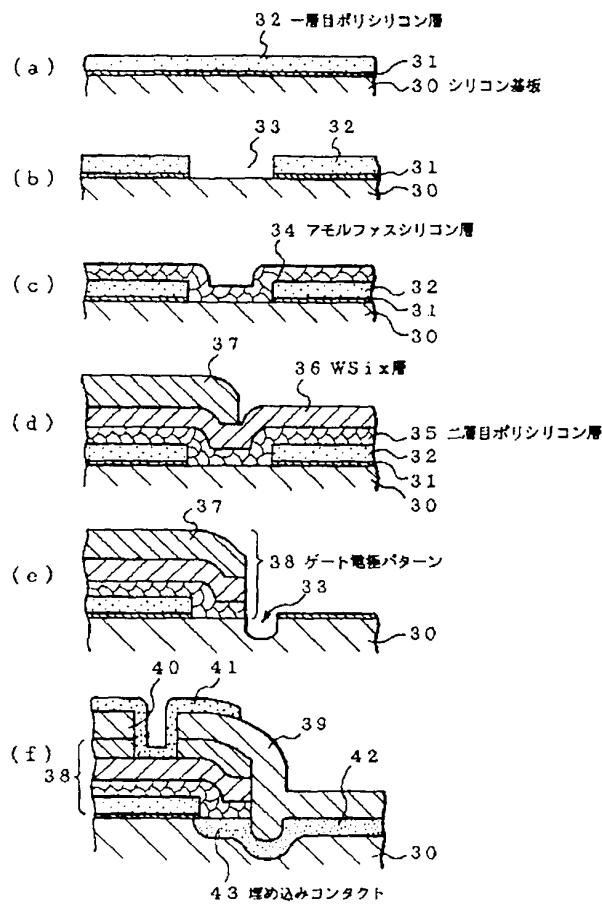
11	
silicon substrate	
15	
first layer polysilicon layer (polysilicon layer of bottom layer )	
16	
amorphous silicon layer	
17	
second layer polysilicon layer (polysilicon layer of top layer )	
18	
WSix layer	
20	
gate electrode pattern (gate electrode )	
30	
silicon substrate	
32	
first layer polysilicon layer (polysilicon layer of bottom layer )	
34	
amorphous silicon layer	
34	
second layer polysilicon layer (polysilicon layer of top layer )	
36	
WSix layer	
38	
gate electrode pattern (gate electrode )	
42	
source/drain territory (diffusion layer )	
43	
Pad contact	

[Figure 1]



【図2】

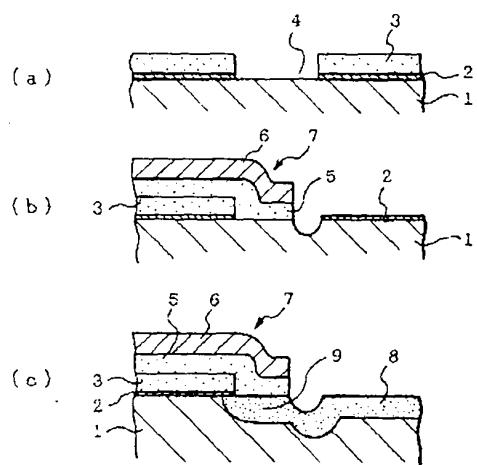
[Figure 2]



第2実施形態例の工程説明図

【図3】

[Figure 3]



従来の製造工程説明図



テンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置において、

$N^+$ 型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項5】タングステンシリサイドが、 $SiH_4$ を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項4記載の半導体装置。

【請求項6】前記2層構造の $N^+$ 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記 $N^+$ 型ポリシリコンの形成工程として、CVD法により堆積温度550degC以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800degC以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】前記 $N^+$ 型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入して $N^+$ 型にする工程を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 $N^+$ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、

前記 $N^+$ 型ポリシリコンの形成工程として、CVD法により堆積温度550degC以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800degC以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】前記 $N^+$ 型ポリシリコンの形成工

has gate electrode of the tungsten poly side structure which uses {Claim 4}  $N^+$  type polysilicon, at same time connects said gate electrode and diffusion layer to electrical,

$N^+$  type polysilicon layer being formed by bilayer structure, it becomes, semiconductor device. where among these 2 layers 1 layer is formed at least with large particle diameter polysilicon and becomes and makes feature

{Claim 5} tungsten polycide, is something which was formed with CVD method which designates  $SiH_4$  as starting material gas and semiconductor device. which is stated in the Claim 4 which is made feature

semiconductor device. which is stated in Claim 4 where impurity concentration of polysilicon layer of inside top layer of  $N^+$  type polysilicon layer of {Claim 6} aforementioned bilayer structure is formed, lower than impurity concentration of polysilicon layer of bottom layer and makes feature

In manufacturing method of semiconductor device which has gate electrode of tungsten poly side structure which uses {Claim 7}  $N^+$  type polysilicon,

manufacturing method. of semiconductor device which said amorphous silicon solid phase had step. which grows for large particle diameter polysilicon this amorphous silicon of step. which accumulates the amorphous silicon below deposition temperature 550degC as formation process of aforementioned  $N^+$  type polysilicon, with CVD method by 1 hour or more anneal doing with temperature of 800degC or less, makes feature

As formation process of {Claim 8} aforementioned  $N^+$  type polysilicon, between the step which step and amorphous silicon which accumulates amorphous silicon the anneal is done, ion implantation doing phosphorus or arsenic in amorphous silicon, manufacturing method. of semiconductor device which is stated in Claim 7 which had the step which it makes  $N^+$  type and makes feature

In manufacturing method of semiconductor device which possesses pad contact which has the gate electrode of tungsten poly side structure which uses {Claim 9}  $N^+$  type polysilicon, at sametime connects said gate electrode and diffusion layer to electrical,

manufacturing method. of semiconductor device which said amorphous silicon solid phase had step. which grows for large particle diameter polysilicon this amorphous silicon of step. which accumulates the amorphous silicon below deposition temperature 550degC as formation process of aforementioned  $N^+$  type polysilicon, with CVD method by 1 hour or more anneal doing with temperature of 800degC or less, makes feature

As formation process of {Claim 10} aforementioned  $N^+$  type

程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入して  $N^+$  型にする工程を備えたことを特徴とする請求項 9 記載の半導体装置の製造方法。

### 【手続補正2】【補正対象書類名】

明細書

### 【補正対象項目名】

0029

### 【補正方法】

変更

### 【補正内容】

【0029】次いで、650 deg C、10 時間の条件でアニール処理を行ってアモルファスシリコン層 34 を結晶化し、先に形成した一層目ポリシリコン層 32 を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層 35 を形成する。

続いて、1000 deg C、10 秒の条件で RTA を行い、二層目ポリシリコン層 35 表面のリンを該ポリシリコン層 35 中に拡散させ、かつこれを活性化させて二層目ポリシリコン層 35 をその不純物濃度が一層目ポリシリコン層 32 の不純物濃度より低くなるようにする。

ここで、先にアモルファスシリコン層 34 にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層 35 は、第 1 実施形態例の二層目ポリシリコン層 17 に比べより一層大粒径化したものとなっている。

また、このような RTA により、二層目ポリシリコン層 35 表面のリンは開口部 33 を通ってシリコン基板 30 の表層部に拡散し、これにより該シリコン基板 30 の表層部に不純物拡散層 44 が形成される。

### 【手続補正3】【補正対象書類名】

明細書

### 【補正対象項目名】

0034

### 【補正方法】

変更

polysilicon, between the step which step and amorphous silicon which accumulate amorphous silicon the anneal is done, ion implantation doing phosphorus or arsenic in amorphous silicon, manufacturing method, of semiconductor device which is stated in Claim 9 which had the step which it makes  $N^+$  type and makes feature

specification

0029

Modification

{0029} Next, doing annealing with condition of 650 deg C, 10 hours, crystallization it does amorphous silicon layer 34, solid phase growing in particle of large particle diameter incomparison with particle which forms first layer polysilicon layer 32 which was formed first, it forms second layer polysilicon layer 35.

Consequently, doing RTA with condition of 1000 deg C, 10 second, scattering doing phosphorus of second layer polysilicon layer 35 surface in said polysilicon layer 35, at same time activating this impurity concentration tries second layer polysilicon layer 35 that becomes lower than impurity concentration of first layer polysilicon layer 32.

Here, second layer polysilicon layer 35 which is acquired after anneal by ion implantation doing phosphorus first in amorphous silicon layer 34, to further large particle diameter has become something which is converted in comparison with second layer polysilicon layer 17 of first embodiment.

In addition, passing by opening 33, scattering it does phosphorus of the second layer polysilicon layer 35 surface in surface layer of silicon substrate 30 with this kind of RTA, impurity diffusion layer 44 is formed to surface layer of said silicon substrate 30 because of this.

specification

0034

Modification

**【補正内容】**

【0034】次いで、1000 deg C、10 秒の条件による RTA によって不純物の活性化を行う。

すると、埋め込みコンタクト部分では、ソース/ドレイン領域(拡散層)42 の不純物がシリコン基板 30 に拡散し、これにより前記不純物領域 44 とソース/ドレイン領域(拡散層)42 とを電気的に接続する埋め込みコンタクト 43 が得られる。

その後、通常行われる種々の処理工程を経て、半導体装置を得る。

**【手続補正4】【補正対象書類名】**

図面

**【補正対象項目名】**

図 2

**【補正方法】**

変更

**【補正内容】**

【図 2】

{0034} Next, with condition of 1000 deg C, 10 second it activates impurity with the RTA.

When it does, with pad contact portion, source/drain territory (diffusion layer ) impurity of 42 scattering does in silicon substrate 30, because of this aforementioned impurity region 44 and source/drain territory (diffusion layer ) pad contact 43 which connects 42 to electrical isacquired.

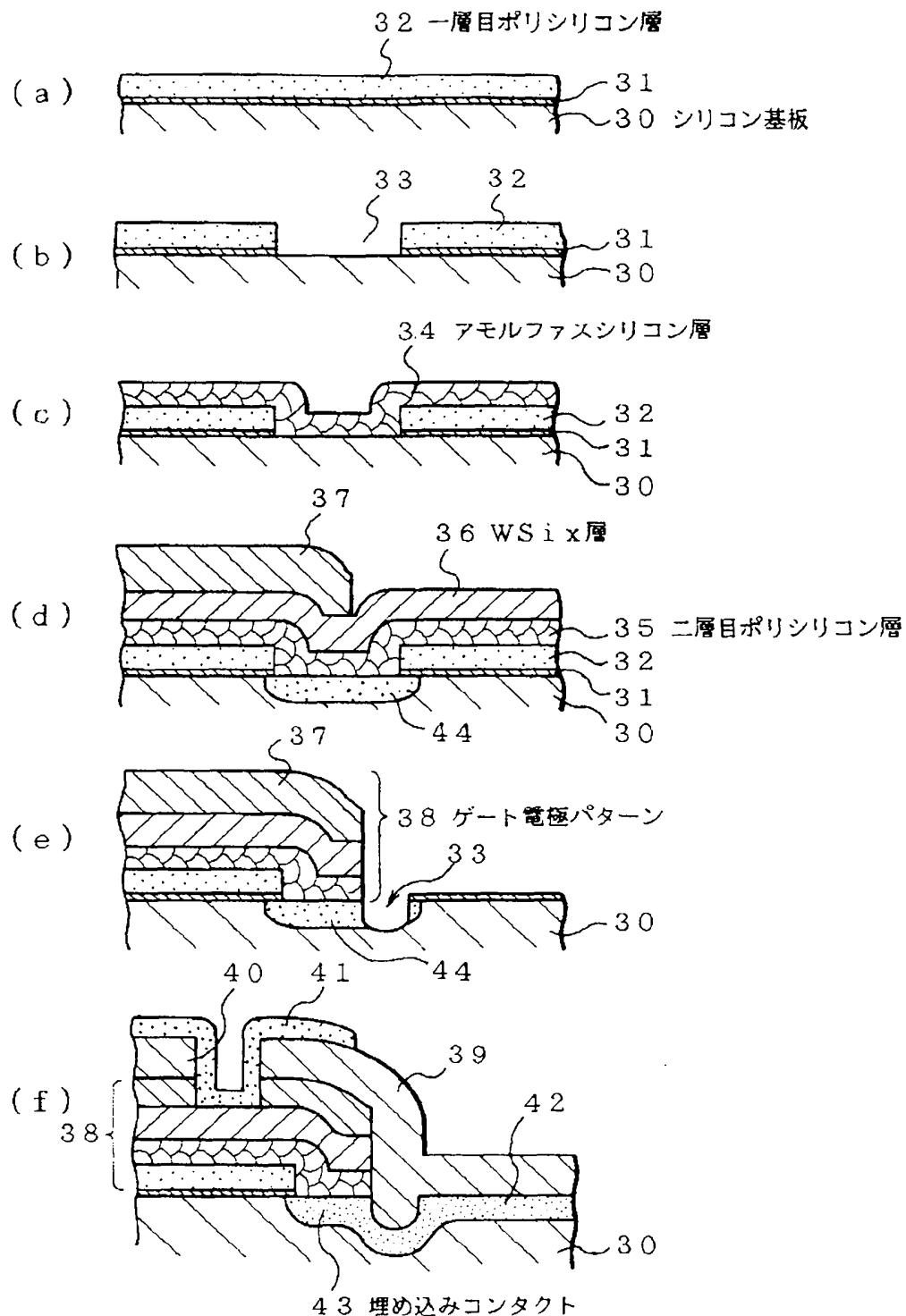
After that, passing by various treatment step which usually is done, you obtain the semiconductor device.

drawing

Figure 2

Modification

[Figure 2]



第2実施形態例の工程説明図